

Diagnosedatenkompression für digitale Schaltungen

0. Einleitung

Seit den ersten Anwendungen rechnergestützter Prüf- und Fehlerortungsverfahren für digitale Schaltungen existiert das Problem des großen Umfangs der zu verarbeitenden und zu verwaltenden Diagnosedaten [1]. Der Bedeutung dieser Aufgabe gemäß wurden viele Untersuchungen vorgenommen, die die Beherrschbarkeit dieser Datenmengen zum Ziel hatten, z. B. [1] [2] und [9]. Ein wesentlicher Durchbruch wurde 1977 durch das vielerorts schnell aufgegriffene und intensiv diskutierte Prinzip der Signaturanalyse erreicht [3]. Obwohl vorwiegend für die Wartung entwickelt, läßt es sich auch in der Fertigungsprüfung IC-bestückter Leiterplatten und integrierter Bausteine anwenden.

Dieser Beitrag beschreibt eine Möglichkeit softwaregestützter Fehlerortung in der Fertigung, bei der die Fehlerinformationsdaten nach dem Prinzip der Signaturanalyse komprimiert werden. Auf diese Weise wird die Diagnosedatenmenge beispielsweise bei den herkömmlichen IC-bestückten Leiterplatten der PCM-Übertragungstechnik auf 3% gegenüber dem bisher angewendeten Verfahren reduziert, bei dem die Fehlerinformation testschrittweise verarbeitet wird. Die rechnergestützte bzw. automatisierte Diagnose (Prüfung und Fehlerortung) digitaler Schaltungen wird damit als bedeutendes Rationalisierungsmittel auch bei kleineren Produktionsvolumen interessant, da verfügbare Mikrorechenteknik einsetzbar ist.

1. Diagnosedaten

Im folgenden wird vorausgesetzt, daß der Prüf- und Fehlerortungsprozeß gemäß Bild 1 organisiert ist.

Prüfbedingung (Block A) ist neben den spezifisch festgelegten elektrischen Parametern, der Taktfrequenz usw. insbesondere eine Testfolge (B). Letztere hat die Aufgabe, jeden der interessierenden, antizipierten Hardwarefehler des Prüfobjektes (C) durch eine Reaktion (D) sichtbar zu machen, die sich von der korrekten unterscheidet. Dieser Unterschied wird mit Hilfe von Referenzdaten (F) bei der Auswertung (E) erkannt. Soll nur eine Gut/Schlecht-Aussage erfolgen (Prüfung, Fehlererkennung), so genügt es, eine Abweichung vom richtigen Verhalten festzustellen. Ist darüber hinaus auch der Fehler selbst zu bestimmen (Fehlerortung), weil eine Reparatur — beispielsweise durch Ersetzen der fehlerhaften Komponente — angestrebt wird, müssen Auswertung und Referenzdaten bzw. Fehlerinformation entsprechend organisiert werden.

Die Erzeugung der Testfolge (B) kann off-line durch entsprechende Großrechnerprogramme [4], manuell oder kombiniert, erfolgen.

Zur Rationalisierung bzw. Automatisierung der Fertigungsprüfung werden mehr und mehr rechnergestützte Prüfplätze verwendet, die die Aufgaben der Blöcke (A) und (E) übernehmen.

Die einfachste Form der Auswertung (E) für die Prüfung ist der testschrittweise Vergleich der Belegungen an allen Ausgängen des Prüfobjektes mit einem Vergleichsnormal (Pattern-Re-

sponse-Technik). Letzteres kann von einem fehlerfreien Exemplar („golden unit“), das parallel zum Prüfobjekt betrieben wird, abgeleitet werden. Durch Einsatz von Rechenteknik ist es möglich, diese Art des Vergleichsnormals, das viele Nachteile hat, durch Simulationsergebnisse zu ersetzen [5]. Diese sind Teil der hier zu diskutierenden Diagnosedaten und werden häufig off-line auf einem Großrechner erzeugt und mittels geeigneter Datenträger an das Prüfsystem übergeben.

Stimmen die gemessenen Werte, die das Prüfobjekt liefert, nicht mit dem Vergleichsnormal überein, kann der Prüfvorgang abgebrochen und die Schaltung als fehlerhaft ausgewiesen werden. Für die sich bei IC-bestückten Leiterplatten ggf. anschließende Fehlerortung werden hier zwei grundlegende Verfahren unterschieden: die Verfolgung des fehlerhaften Pfades entgegen dem Signalfluß bis zum Fehler (Fehlerpfadverfolgung, backtracing) einerseits und die Auswertung vorher berechneter Informationen über die Zusammenhänge von Signalfehlern und ihrer Ursachen (Fehlerinformation) andererseits. Beide Verfahren wurden im Institut für Nachrichtentechnik (INT) Berlin realisiert sowie erfolgreich erprobt und eingesetzt [5].

Bei der ersten Methode dienen als Vergleichsnormal für die Überprüfung interner Potentiale in der Regel ebenfalls Simulationsergebnisse. Bei einer rechnergeführten Fehlerpfadverfolgung benötigt das Prüfsystem ferner strukturelle Informationen über das Prüfobjekt, d. h. ein Schaltungsmodell. Die Diagnosedaten beinhalten also:

— ein strukturelles Schaltungsmodell

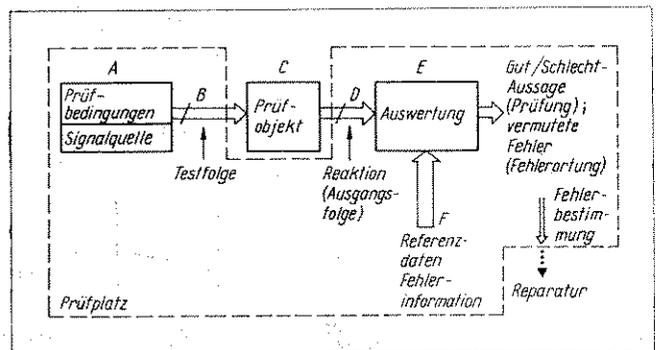
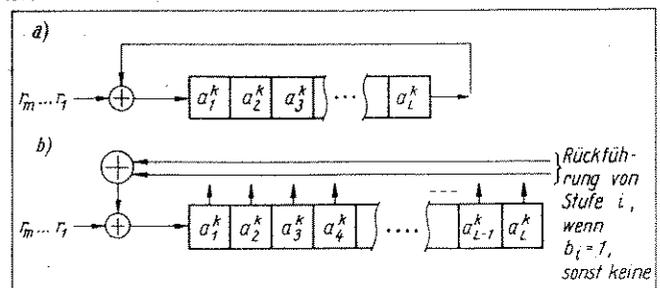


Bild 1. Prüfung und Fehlerortung (Prinzip)

Bild 2. Prinzip der Reduktion einer binären Folge R auf ein Binärwort der konstanten Länge L (Signatur)

a) Einfache Rückführung; b) Komplexe Rückkopplung. Die Wahl der rückgeführten Registerstufen beeinflusst die Fähigkeit des Registers, aufgetretene Signalwertabweichungen am Eingang aufzubewahren



¹⁾ Mitteilung aus dem Institut für Nachrichtentechnik Berlin.

— die stationären Potentiale aller Signalleitungen für jeden Testschritt einschließlich der Eingangsleitungen (Testfolge) und der Ausgangsleitungen (Vergleichsnormal für die Prüfung).

Bei der zweiten Methode wird auf einem Großrechner mit Hilfe eines Simulators [4] und [8], der das Verhalten des Prüfobjekts bei Vorhandensein von Fehlern berechnet, die Fehlerinformation bestimmt, auf einen geeigneten Datenträger gebracht und an das rechnergestützte Prüfsystem übergeben. Dieses berechnet in dem dann kombinierten Prüf- und Fehlerortungsprozeß nach jedem Testschritt aus der Menge der bisher für möglich gehaltenen Fehler und den gemessenen (korrekten oder inkorrekten) Potentialen der Ausgangssignalleitungen der Schaltung mit Hilfe der Fehlerinformation eine neue, verkleinerte Menge von möglichen Fehlern [6] [7] und [8]. Zeigt das Prüfobjekt ein fehlerhaftes Verhalten, so muß nach dem letzten Testschritt ggf. durch wenige Antastungen bestimmt werden, welche der resultierenden Fehlermöglichkeiten zutrifft.

Wird dieses Verfahren angewendet, gehören zu den obengenannten Diagnosedaten also noch:

- Beschreibung der vorweggenommenen Fehlermöglichkeiten (Fehlerdaten)
- Fehlerinformationsdaten.

Mit Einführung der rechnergeführten Fehlerpfadverfolgung konnte im INT durch Verkürzung der Fehlerortungsdauer auf 10 min je Leiterplatte die Produktivität bei der Fehlerortung gegenüber den bisherigen manuellen Methoden wesentlich erhöht werden. Bei Anwendung der Fehlerinformation sinkt dieser Zeitaufwand noch einmal um etwa die Hälfte [5]. Die anfallenden Diagnosedatenmengen brachten für das durch einen Kleinrechner vom Typ 4201 gesteuerte Prüfsystem des INT bei der Prüfung und Fehlerortung SSI- und MSI-bestückter Leiterplatten nach dem Fehlerpfadprinzip noch keine Probleme. Die Fehlerinformationsdaten sind jedoch von erheblichem Umfang, so daß eine Datenkompression unbedingt erforderlich wird.

2. Möglichkeiten der Datenkompression für die Prüfung

Schon bei der Prüfung kann es darauf ankommen, den Datenumfang so gering wie möglich zu halten. Dies trifft zu bei der On-line-Testung während des Betriebes, für die Wartung oder bei Verwendung relativ kleiner Prüfeinrichtungen. Im folgenden sollen einige Möglichkeiten zur Diagnosedatenkompression aufgelistet werden (vgl. [9]).

Es sei $R = r_m r_{m-1} \dots r_2 r_1$ eine binäre Folge als Teil der Ausgangsfolge D von Bild 1. Eine Reduktion von R auf die Länge l (m) wird durch folgende Verknüpfungen erreicht:

$$\text{Red}_1(R) = \sum_{i=1}^m r_i \quad (\text{Zählung der 1-Werte})$$

$$\text{Red}_2(R) = \sum_{i=2}^m r_{i-1} \oplus r_i \quad (\text{Zählung der Signalwechsel})$$

$$\text{Red}_3(R) = \sum_{i=2}^m r_{i-1} \oplus r_i$$

$$\text{Red}_4(R) = \sum_{i=2}^m r_{i-1} \cdot r_i \quad (\text{Zählung der 0-1-Übergänge})$$

$$\text{Red}_5(R) = \sum_{i=2}^m r_{i-1} \cdot \bar{r}_i \quad (\text{Zählung der 1-0-Übergänge}).$$

Eine Reduktion von R auf eine binäre Zahlenangabe mit der Länge L , $L \geq 1$, die von m unabhängig ist, erreicht man für die binären Anfangswerte a_1^0, \dots, a_L^0 mit

$$\text{Red}_6(R) = \sum_{i=0}^{L-1} 2^i \cdot a_{L-i}^m,$$

wobei für $k = 1, \dots, m$ und $l = 1, \dots, L-1$ gilt:

$$a_{l+1}^k = a_l^{k-1} \quad (\text{Verschiebung}) \text{ und}$$

$$a_1^k = a_L^{k-1} \oplus r_k \quad (\text{Verknüpfung — Bild 2a}),$$

bzw. allgemeiner:

$$a_1^k = r_k \oplus \bigoplus_{i=1}^L b_i a_i^{k-1}, \quad \text{für binäre } b_i \text{ (Bild 2b)}.$$

$\text{Red}_6(R)$ ist die Signatur von R bezüglich der b_i und der a_i^0 und zeichnet sich dadurch aus, daß die b_i so festgelegt werden können, daß sie sich bei einer von R abweichenden Binärfolge mit der Wahrscheinlichkeit $1 - \frac{1}{2^L}$ von der korrekten unterscheidet [3].

Bei gegebener Testfolge und gesichertem Anfangszustand für ein Prüfobjekt kann jedem seiner internen oder externen Anschlußstifte bzw. Signalleitungen eine Signatur zugewiesen werden [3] [11] und [12]. Auf diese Weise ist sowohl in der Fertigung als auch in der Wartung eine Prüfung möglich, wobei für jeden zu überprüfenden Meßpunkt nur je eine Zahlenangabe bereitgestellt werden muß. Eine Fehlerortung durch Fehlerpfadverfolgung ist analog dazu durchführbar.

Im folgenden Abschnitt wird beschrieben, wie die Fehlerinformationsdaten auf der Basis der Signaturauswertung drastisch reduziert werden können.

3. Fehlerinformation und Signaturanalyse [15]

Unter Fehlerinformation soll hier folgendes verstanden werden [6] [7] und [8]:

Es sei R eine Menge von Folgen $R = r_m r_{m-1} \dots r_2 r_1$ von Booleschen Vektoren $r_i = [r_i^1, \dots, r_i^n]$ mit $r_i^j \in \{0, 1\}$. R aus R sei die Reaktion (Ausgangsfolge) eines Prüfobjektes mit n Ausgängen bezüglich feststehender Anfangsbedingungen und einer Testfolge $x_1 \dots x_t$. Ferner sei F eine Menge von Fehlern / (Fehlermodelle) bzw. Repräsentanten von Fehleräquivalenzklassen, auf die die Schaltung zu prüfen ist und von der angenommen werden kann, daß sie alle Hardwarefehlermöglichkeiten im wesentlichen repräsentiert.

Dann ist die Fehlerinformation FI eine Funktion:

$$FI: R \rightarrow \{M \mid M \subseteq F\}.$$

Jeder Ausgangsfolge R aus R wird also eine Fehlermenge zugewiesen. Ist diese leer, so ist die Schaltung entweder fehlerfrei, oder der Fehler ist unter den verwendeten Testbedingungen nicht durch Beobachtung der Ausgangssignale erkennbar. FI wird rekursiv folgendermaßen definiert. Für festes R sei FIO eine Funktion:

$$FIO: \{1, \dots, t\} \times \{1, \dots, n\} \rightarrow \{M \mid M \subseteq F\}.$$

wobei $FIO(\tau, \nu)$ genau die Fehler darstellt, die im Testschritt τ am Ausgang ν einen (bezüglich R) fehlerhaften Signalwert hervorrufen.

Dann ist mit der Anfangsmenge $FI_0(R) \stackrel{\text{def}}{=} F$, die alle Fehler enthält, und $FI_\tau(R) \stackrel{\text{def}}{=} FI_{\tau-1} \setminus \bigcup \{FIO(\tau, \nu) \mid \text{Ausgang } \nu \text{ hatte}$

korrektes Signal} \cap \cap \{FIO(\tau, v) | Ausgang v hatte inkorrektes Signal\}, \tau = 1, \dots, t, die Fehlerinformation FI(R) für R definiert als FI_t(R).

Die Fehler, die bei Vorhandensein eines als richtig bewerteten Signalwert verfälscht hätten, werden also aus der bisherigen Menge gestrichen, und mit den übrigen Fehlermengen wird wegen der Voraussetzung des Einfachfehlermodells der Durchschnitt gebildet. Fällt die letzte Voraussetzung weg (Mehrfachfehler), so muß die Durchschnittsbildung unterbleiben [8].

FI_\tau wird während des kombinierten Prüf- und Fehlerortungsvorganges nach Anlegen des Testes und Messung der Werte [r^1, r^2, \dots, r^v, \dots, r^n] berechnet. In jedem Testschritt \tau müssen daher die Fehlermengen FIO(\tau, v) für v = 1, \dots, n verfügbar sein. Sie werden i. allg. von einem auf einem Großrechner off-line laufenden Fehlersimulator geliefert (vgl. [4] und [5]). Diese Angaben sind für Leiterplatten mit 30 ... 40 IC bereits

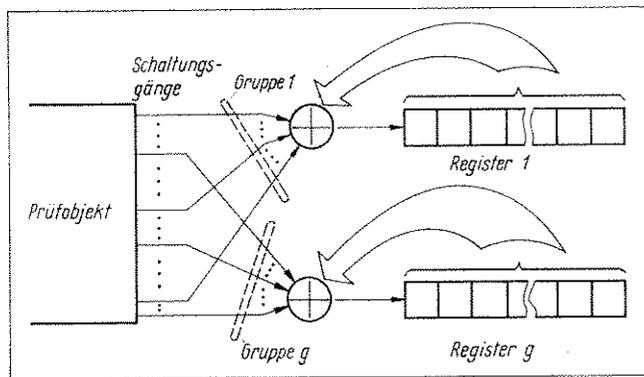


Bild 3. Erzeugung von g Signaturen nach Gruppierung der n Ausgänge der Schaltung

von erheblichem Umfang, so daß hierfür die im folgenden angegebenen Datenreduktionsprinzipien sinnvoll sind.

Um nur wenige Beobachtungspunkte behandeln zu müssen, werden die Schaltungsausgänge in Gruppen, G_1, \dots, G_g, durch Addition modulo 2 zusammengefaßt (Bild 3)²⁾. Die Gruppeneinteilung sollte so erfolgen, daß möglichst solche Ausgänge in eine gemeinsame Gruppe kommen, die von unterschiedlichen Schaltungsteilen angesteuert werden, damit sich ggf. Fehler nicht bei der Addition aufheben.

Die Fehlerortung erfolgt dann in folgenden Schritten:

Signaturen \Rightarrow Evtl. Reduktion \Rightarrow Bestimmung der \Rightarrow
 der Gruppen der Signaturen zugehörigen
 G_1 \dots G_g M_1 \dots M_g Fehlermengen

\Rightarrow Durchschnittsbildung \Rightarrow Bestimmung des wirklich
 vorliegenden Fehlers f \in M
 durch zusätzliche Messungen.
 M = \bigcap_{i=1}^g M_i

Für jede Gruppe G_i wird die Signatur S_i während des Prüfungsvorganges bestimmt und anschließend ausgewertet. Für die Auswertung müssen Daten zur Verfügung stehen, die auf einem Großrechner off-line mit Hilfe eines Fehlersimulators mit speziellem Postprozessor bestimmt wurden.

²⁾ Eine andere Möglichkeit der Gruppenbildung, die allein oder in Kombination mit der hier beschriebenen verwendet werden kann, wird in [16] untersucht.

Eine Reduktion der Signaturen durch Verkürzung des entsprechenden Binärwortes ist sinnvoll, da viele der möglichen Werte zwischen 0 und 2^L als Signatur nicht auftreten, so daß Suchprozesse optimiert werden können. Für eine derartige Reduktion stehen Hash-Coding-Techniken [13] zur Verfügung. Hier scheint das Divisionsrestverfahren besonders geeignet zu sein. Ein sehr vereinfachtes Verfahren ist das folgende:

Einer Signatur S mit 0 \le S \le 2^L - 1 wird durch Division durch eine Zahl H, die sich möglichst viel von einer Zweierpotenz unterscheiden sollte, der Wert P mit 0 \le P < H \le 2^K, K \le L, zugewiesen. Die Abbildung h: S \to P ist nicht-injektiv, d. h., es kann vorkommen, daß zwei verschiedene Signaturen auf ein gemeinsames P abgebildet werden. Durch diese Reduktion erreicht man jedoch, daß die Adreßbereichsgröße (Bild 4) die Anzahl Fehlerrepräsentanten nicht wesentlich übersteigt. Ist AR die Anzahl der berücksichtigten Fehlerrepräsentanten, so muß offensichtlich 2^{K \cdot g} \gg AR gelten, um aufgrund

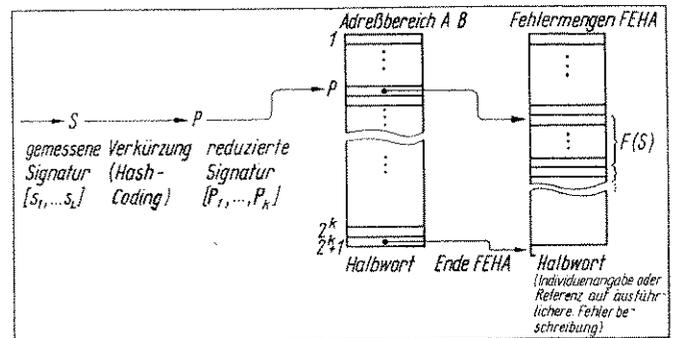


Bild 4. Datendarstellung für Signaturauswertung zur Fehlerortung für eine Gruppe G von Schaltungsausgängen

der reduzierten Signaturen P möglichst viele Fehler unterscheiden zu können.

Für eine Anwendung dieses Verfahrens in einem rechnergestützten Prüfungssystem ergibt sich eine Datendarstellung gemäß Bild 4. Für jede Gruppe G_i von Ausgängen wird nach dem Prüfungsvorgang die gemessene Signatur S_i auf P_i reduziert. P_i ist Adresse im Adreßbereich AB_i, der an dieser Stelle die Adresse des ersten Fehlerindividuums im Bereich FEHA_i der Fehlermengen enthält. FEHA enthält die Repräsentanten, die die gleiche reduzierte Gruppensignatur erzeugen. Auf diese Weise wird jeder gewonnenen Signatur S_i eine Fehlermenge F_i(S_i) zugeordnet, so daß der wirklich vorliegende Fehler in der Menge

$$F = \bigcap_{i=1}^g F_i(S_i)$$

zu suchen ist. Die Bestimmung des Fehlers kann durch wenige Antastungen erfolgen, die auch auf der Signaturbasis ausgewertet werden können (der Untersuchung [10] zufolge ist die Fehlerortungsfähigkeit, d. h. Trennung unterscheidbarer Fehlerrepräsentanten, bereits mit einer einfachen Rückführung bei den Signaturregistern — statistisch gesehen — gut (Bild 2a)).

Die Bereiche AB_i und FEHA_i werden durch ein Großrechnerprogramm bereitgestellt. Besonders geeignet ist hierfür die parallele Fehlersimulation, da die Beziehungen zwischen Signaturen und Fehlerrepräsentanten direkt abgeleitet werden können. Vorhandene Programme, z. B. [4] und [5], benötigen lediglich eine Erweiterung des Postprozessors, die ohne größeren Aufwand realisierbar ist.

Auch der eventuell gegenüber dem Verfahren mit nicht-reduzierter Fehlerinformation etwas herabgesetzte Fehlererkennungs- und -ortungsgrad ist unmittelbar bestimmbar.

Solange die Prüfobjekte nur Fehler aufweisen, die durch die dem Fehlersimulator zur Verfügung stehenden Fehlermodelle erfaßt werden, wird am Ende des oben beschriebenen Prüfungsvorganges die Fehlerursache gefunden sein. Da aber kaum sämtliche physikalisch möglichen Fehler, die Hardwareausfälle verursachen können, durch einen Fehlersimulator genau berücksichtigt werden können (z. B. Mehrfachfehler), müssen diese Fälle durch das Prüfsystem auf andere Weise behandelt werden. Bei Auftreten eines nicht in FEHA vorhandenen Fehlers ist entweder die entsprechende Stelle in AB „leer“, oder die zur Signatur gehörige Fehlermenge enthält ihn nicht. Es müssen also Überlaufbereiche für neu registrierte Fehler vorgesehen werden, die nach ihrer Identifizierung dort eingetragen werden und für nachfolgende Prüfungen zur Verfügung stehen. Bei großen Losgrößen lohnt es sich, häufig auftretende Fehler vor weniger häufigen auf ihr Vorhandensein hin zu untersuchen. Dies kann dadurch erreicht werden, daß nach Identifizierung eines Fehlers dieser mit seinem Vorgänger in FEHA vertauscht wird. Die Aufnahme und Berücksichtigung von neuen Fehlern durch das Prüfsystem und die Bewichtung der Fehler sind bei der alten Datenform für die Fehlerinformation in dieser Weise nicht möglich.

Folgende Abschätzungen demonstrieren den Datenreduktionsgrad des beschriebenen Verfahrens für einfache Stuck-at-Fehler:

Prüfobjekt: 40 SSI/MSI-IC
50 Ausgänge
500 Fehlerklassen

Bei 100 Testschritten nimmt die Fehlerinformation schätzungsweise 100 K byte ein. Dazu kommen die Fehlerdaten mit einem Umfang von

$$500 \cdot 2 = 1 \text{ K byte}$$

sowie Strukturinformationen und Prüfbedingungen.

Setzt man $L = K = 8$ und der Einfachheit halber $S = P$ (h ist identische Abbildung), so genügen 2 ... 3 Gruppen, um $2^{K \cdot n} \gg 500$ zu gewährleisten. Für $n = 2$ ergibt sich:

zwei Bereiche AB $256 \cdot 2 \cdot 2 = 1 \text{ K byte}$
zwei Bereiche FEHA $500 \cdot 2 \cdot 2 = 2 \text{ K byte}$.

Die reduzierten Daten benötigen rund 3 K byte gegenüber 100 K in ihrer alten Form, also nur etwa 3%. Dazu kommt, daß die herkömmliche Fehlerinformation etwa linear mit der Testfolgenlänge mit etwa 1 K byte je Testschritt (beim genannten Beispiel) wächst, während der Speicherbedarf bei der neuen Form sich nicht verändert.

4. Beispiel

Zur Illustration des dargelegten Prinzips betrachten wir die kleine Speicherschaltung von Bild 5. Als Repräsentanten der

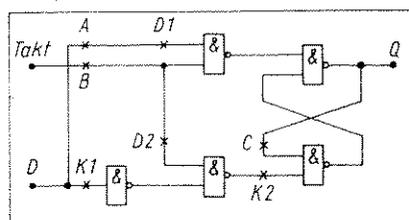


Bild 5
Kleine Speicherschaltung
(Beispiel)

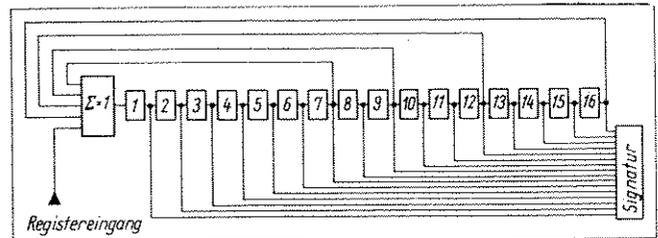


Bild 6. Registerschaltung zur Ableitung der Signatur

Tafel 1. Entwicklung der Signatur bei korrekter Schaltung

„+“ bedeutet ein Impuls $0 \rightarrow 1 \rightarrow 0$ hinreichender Länge, der innerhalb eines Testschrittes erfolgt. Nach jedem Testschritt wird das Signaturregister getaktet

Schritt	D-Eing.	Takt	Q	Signaturregister															
				1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
3	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
4	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	
5	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	
6	0	+	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	
7	1	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	
8	1	+	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	
9	1	0	1	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	
10	0	0	1	0	0	1	0	0	1	1	1	1	0	0	0	0	0	0	
11	1	0	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0	0	
12	1	+	1	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0	

Tafel 2. Signaturen der unterstellten Fehler

Fehler	Signatur S	Dezimaläquivalenz
F0	1100100111100000	51680 (korrekter Wert)
F1	0000000000000000	0
F2	1110010010110000	58544
F3	1110011111110000	59376
F4	1100100000100000	51232

Fehlermöglichkeiten unterstellen wir die Fehlerindividuen

- F1 A-fest-auf-0
- F2 B-fest-auf-1
- F3 C-fest-auf-1
- F4 Kurzschluß zwischen K1 und K2 (Low-Pegel dominiert).

Die (eine) Signatur werde am Ausgang Q gebildet. Das Signaturregister besteht aus 16 Stufen und ist gemäß [3] geschaltet (vgl. Bild 6). Für die korrekte Schaltung („F0“) ergibt sich bei der angegebenen Testfolge die in Tafel 1 dargestellte Entwicklung der Signatur, nachdem alle Signaturstufen auf 0 gesetzt wurden.

Als korrekte Signatur für die vorliegende Testfolge liegt dann die Bitfolge 1100100111100000 bzw. dessen Dezimaläquivalent 51680 fest. Durch Fehlersimulation werden die Signaturen der Fehler ermittelt (vgl. Tafel 2).

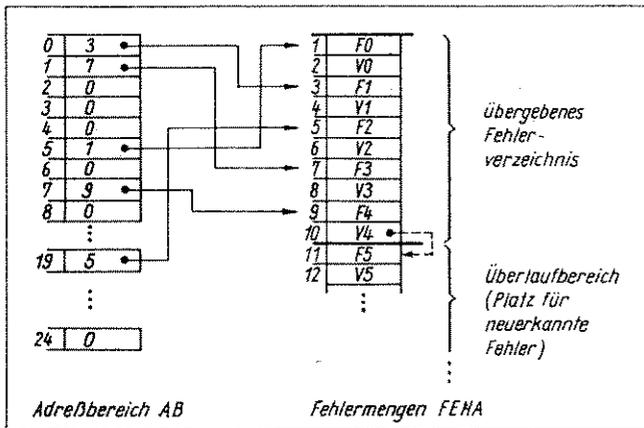


Bild 7. Zusammenhang von Adreßbereich und Fehlermengenbereich

Wird $H = 25$ gesetzt, so ergeben sich die reduzierten Signaturen (Restklassen) zu

Fehler	F0	F1	F2	F3	F4
red. Sign.	5	0	19	1	7

Daher sind als Adreßbereich AB und Fehlermengen FEHA dem Prüfsystem Daten gemäß Bild 7 zu übergeben.

Die Eintragungen F1 ... F4 sind entweder selbst schon die Fehlerbeschreibungen, oder sie sind Verweise auf diese. V0 ... V4 sind im Regelfall Ende-Markierungen der Fehlermengen (hier: Einermengen), sonst Verweise auf zusätzliche, in den Überlaufbereich aufgenommene Fehlerangaben (die Struktur der Fehlermengendarstellung kann natürlich, z. B. in Abhängigkeit vom verwendeten Rechner, anders festgelegt werden). Wird nach Anwendung der Testfolge nicht die korrekte Signatur am Ausgang Q gemessen, sondern etwa 51232, so liegt ein Fehler vor, der genauer zu bestimmen ist. Die Reduktion (Restklassenbildung modulo 25) ergibt 7. Der Adreßbereich AB verweist an der Stelle 7 auf Adresse 9 im Fehlermengenverzeichnis FEHA,

also auf Fehler 4, den Kurzschluß. Wird dieser durch Antastung bestätigt, ist der Fehlerortungsvorgang beendet. Stellt man statt dessen den Mehrfachfehler [D1-fest-auf-1/D2-fest-auf-1] fest, der die gleiche Fehlersignatur liefert, so ist ein Fehler gefunden worden, der noch nicht im Fehlerverzeichnis vorhanden ist. Der Verweis V4 wird entsprechend gesetzt und dieser Fehler als F5 nachgetragen (etwa unter Adresse 11). Wiederholt sich der Fall, daß die reduzierte Signatur den Wert 7 hat, so wird zuerst auf den Kurzschluß, dann aber auch gezielt (rechnergeführt) auf den genannten Mehrfachfehler hin geprüft. Will man die Abfrage optimieren, so werden diese beiden Fehler-eintragungen vertauscht, so daß zuerst auf den Mehrfachfehler geprüft wird.

Literatur

- [1] Chang, H. Y.; Thomis, W.: Methods of interpreting diagnostic data for locating faults in digital machines. The Bell System Technical Journal 46 (1967) No. 2, pp. 281-317.
- [2] Hayes, J. P.: Transition Count Testing of Combinational Logik Circuits. IEEE TC-25 (1976) No. 6, pp. 613-620.
- [3] Frohwerk, R. A.: Signature Analysis: A New Digital Field Service Method. Hewlett Packard Journal 28 (1977) No. 9, pp. 2-8.
- [4] Zech, K.-A.; Klarkowski, W.: Rechnerprogramme zur Unterstützung der Fehlerdiagnose digitaler Schaltungen I und II. msr 22 (1979) H. 12, S. 710 bis 713 und 23 (1980) H. 4, S. 218-222.
- [5] Hermann, L.; Rauehfuß, J.; Schalldach, H.-H.; Werrmann, G.; Zech, K.-A.: Rechnergestützte Diagnoseverfahren für digitale Schaltungen. Nachrichtentechnik-Elektronik 30 (1980) H. 8, S. 317-326.
- [6] Ermilov, V. A.: Methode zum Erkennen von Fehlern für die Diagnose von Digitalschaltungen. Avtomatika i Telemekhanika (1971) No. 1, str. 159 bis 167, No. 3, str. 107-113.
- [7] Küchler, D.: Beitrag zur rechnergestützten Fehlerortung in digitalen Baugruppen. Dissertation, Technische Universität Dresden 1975.
- [8] Nutzerdokumentation Programm FELSIM. Institut für Nachrichtentechnik Berlin 1979.
- [9] Fujiwara, H.; Kinoshita, K.: Testing Logic Circuits with Compressed Data. Digest of Papers of the 8th Annual International Conference on Fault-Tolerant Computing, Toulouse (Frankreich) 1978. pp. 108-113.
- [10] David, R.: Feedback Shift Register Testing. Digest of Papers of the Annual International Conference on Fault-Tolerant Computing, Toulouse (Frankreich) 1978, pp. 103-107.
- [11] Schwabe, W.; Hübner, D.: Kennzeichenanalyse - Anwendung zyklischer Kodes in der Prüftechnik. Sozialistische Rationalisierung in der Elektrotechnik/Elektronik 8 (1979) H. 11, S. 302-305.
- [12] Hübner, D.: Verfahren zur Prüfung digital arbeitender Geräte. Feingeräte-technik 28 (1979) H. 3, S. 111-113.
- [13] Herschel, R.; Jonsson, B.: Was ist Hash-Coding. Elektronische Rechenanlagen 17 (1975) H. 3, S. 131-138.
- [14] Völkel, L.: Fehlerdiagnose durch Kennzeichenauswertung. Nachrichtentechnik-Elektronik (eingereicht).
- [15] Verfahren zur Fehlerdiagnose in elektronischen Schaltungen. DD-WP G 01 R/220 565.
- [16] Könemann, B.; Mucha, J.; Zwickhoff, G.: Signaturregister für selbst-testende IC's. NTG-Fachberichte 68 (1979) pp. 109-112.

msr 7221

*With the Compliments
of the Author*