

Rechnergestützte Diagnoseverfahren für digitale Schaltungen

L. Hermann, KDT, J. Rauchfuß, KDT, H.-H. Schalldach, G. Werrmann und K.-A. Zech, KDT, Berlin

Mitteilung aus dem Institut für Nachrichtentechnik Berlin

Deskriptoren: Fehlerlokalisierung, rechnergestützte Fehlerdiagnose, digitale Schaltung, Fehler, Fehlerinformation, Testanalyse, Simulation, Fehlersimulation

Der ständig steigende Integrationsgrad, die zunehmende Komplexität sowie die wachsende Bedeutung der Serienfertigung elektronischer Geräte und Anlagen machen eine Rationalisierung der Prüfprozesse unter Einbeziehung der Rechentechnik dringend erforderlich. Es wird ein rechnergestütztes, automatisiertes Fehlererkennungs- und Fehlerortungsverfahren für digitale Schaltungen beschrieben, das hinsichtlich Investitions- und Vorbereitungsaufwand, Effektivität und Ausbaufähigkeit

Vorteile gegenüber bisher in der DDR bekannt gewordenen und genutzten Verfahren bietet. Außerdem werden die speziellen Belange der Nachrichtentechnik berücksichtigt. Das Verfahren wird in der industriellen Fertigung von Betrieben des Kombinate Nachrichtenelektronik angewendet.

1. Verfahrensprinzipien [1] [2]

Der zu prüfende digitale Karteneinschub wird mit einer zur Fehlerdiagnose (Fehlererkennung und Fehlerortung) geeigneten spezifischen Folge logischer Eingangssignale (Testfolge) belegt. Diese Folge kann auf unterschiedliche Art (aus der Funktionsbeschreibung im Pflichtenheft bei funktionell orientierter Prü-

fung, nach algorithmischen Verfahren auf der Basis der Schaltungsstruktur bei strukturell orientierter Prüfung, auf stochastischem Weg oder durch zweckmäßige Kombination dieser Methoden) generiert worden sein [8]. Zur Fehlererkennung oder -feststellung werden die Ausgangssignale des Prüfobjekts (Ist-Ausgangssignale) mit den Soll-Ausgangssignalen verglichen, die eine fehlerfreie Schaltung liefern würde (Vergleichsnorm). Diese Signale werden hier nicht, wie bei der Mehrzahl der bekannten Prüfsysteme, durch eine parallel zum Prüfobjekt betriebene fehlerfreie Vergleichsbaugruppe bereitgestellt, also mit Hardware, sondern durch eine Schaltungssimulation, d. h. durch Verwendung von Software. Ergebnis der Schaltungssimulation ist eine Testschrittabelle, die zu jeder Eingangsbelegung die stationäre Ausgangsbelegung enthält. Zur Ortung eines durch eine Fehlermeldung angezeigten Fehlers sind zwei Verfahren anwendbar:

- Fehlerortung durch Fehlerpfadverfolgung (backtracing)
- Fehlerortung durch Auswertung von Fehlerinformation.

Bei der Fehlerpfadverfolgung wird — ähnlich wie bei der manuellen Fehlersuche — der in einem bestimmten Testschritt aufgetretene Fehler längs der Leitungen entgegen dem Signalfluß verfolgt, ausgehend vom Steckverbinderstift mit fehlerhaftem Ausgangssignal. Dabei werden die betreffenden internen Schaltungspunkte abgetastet (Baustein- oder Einzelpunktastastung), und ihre Istsignalwerte werden mit den ebenfalls aus der Simulation bekannten logischen Sollsignalwerten verglichen. Dazu ist weiterhin ein Modell der Schaltungsstruktur erforderlich.

Die Fehlerortung auf der Basis der Fehlerinformation (Zuordnung zwischen den fehlerhaften Ausgangssignalen und den sie möglicherweise verursachenden Schaltungsfehlern, ausgehend von einer sinnvollen Fehlermodellierung, z. B. stück-at-Fehlermodell) beruht auf folgendem:

Die Fehlerorte werden durch Anwendung von Mengenoperationen auf die zugehörige Fehlerinformation der fehlerhaften Ausgangssignale berechnet, die während eines vollständigen Prüfdurchlaufs tatsächlich aufgetreten sind. Für die so ohne die zeitaufwendigere Pfadverfolgung bestimmten Fehlerorte sind anschließend nur noch wenige Messungen erforderlich.

Die Prüfeinrichtung arbeitet mit einem Kleinrechner (KRS 4201) im on-line-Betrieb zusammen, der die Steuerungs- und Auswertungsfunktionen für die Fehlererkennung und -ortung realisiert. Dazu gehören die Ansteuerung der Testfolge, der Vergleich von Ist- und Sollwerten, die Fehlermeldung, die Verarbeitung der aktuellen Abtastinformation und die Ermittlung und Bekanntgabe der nächsten Abtastorte bei der Fehlerpfadverfolgung im Dialogbetrieb. Schließlich zählen dazu die Auswertung der zu einem Prüflauf gehörenden Fehlerinformation und die Berechnung und Ausgabe der wahrscheinlichen Fehlerorte.

Die zur Fehlerdiagnose notwendigen Primärdaten (Testschrittabelle, vollständige interne Soll-Signalbelegungen der Schaltungen — Potentialliste, Strukturmodell der Schaltung, Fehlerdaten, Fehlerinformation, Vollständigkeitsgrad der Testfolge) werden dagegen off-line auf einem Großrechner (ES 1040) erzeugt und über geeignete Zwischendatenträger an den Kleinrechner übergeben. Der Grund dafür liegt in der erforderlichen Hauptspeicherkapazität und Rechengeschwindigkeit. Die Aufbereitung der Diagnosedaten (Bild 1) ist wichtiger Bestandteil

einer technologischen Linie der Fertigung und Fehlerdiagnose von digitalen Karteneinschüben. Die vom Entwicklungsingenieur entworfene Schaltung wird dabei in Listenform erfaßt und auf Eingabedatenträger (Lochkarten) gebracht. Mit einer EDVA wird eine rechnergestützte Konstruktion vorgenommen. Deren Ergebnis sind Unterlagen, die den Aufbau der Schaltung als Karteneinschub gestatten (Bauschaltplan, Leiterzugführung). Mit den für die rechnergestützte Konstruktion erfaßten Daten sowie mit Informationen über die Topologie und über die Bauelementedaten kann auf Basis der prüftechnologisch überarbeiteten Prüfvorschrift (Testfolge, Testschrittabelle) eine Schaltungssimulation auf dem Großrechner vorgenommen werden. Als Ergebnis erhält man die Diagnosedaten.

Die Bilder 2 und 3 vermitteln eine Übersicht über die Daten, die bei Fehlerfeststellung und -ortung durch Fehlerpfadverfolgung bzw. durch Auswertung der Fehlerinformation erforderlich sind, sowie über die eingesetzten Programme auf der Groß- und Kleinrechnerseite (Erläuterungen dazu in Abschnitt 2. und 3.). Die zur Realisierung der Verfahren notwendige Prüfhardware umfaßt neben dem für den vorgesehenen Einsatzzweck geeignet konfigurierten KRS 4201 eine Prüfeinrichtung und externe, handelsübliche Meßgeräte (Bild 4, Erläuterungen dazu in Abschnitt 4.).

Die Folgefrequenz der Eingangsbelegungen des Prüfobjekts liegt entsprechend der Arbeitsgeschwindigkeit des KRS 4201 bei einigen Kilohertz. Demgemäß wird für Baugruppen der Nachrichtentechnik, die in der Regel bei höheren Betriebsfrequenzen arbeiten, mit dem vorgestellten Prüfsystem eine quasistatische Prüfung durchgeführt. Da im allgemeinen eine Endprüfung des kompletten Erzeugnisses vorausgesetzt werden kann, ist eine Prüfung der einzelnen Baugruppen unter Echtzeitbedingungen nicht erforderlich.

2. Erzeugung der Diagnosedaten auf dem Großrechner

Mit den Programmen SIMPER (zur zweiwertigen dynamischen Schaltungssimulation) und FELSIM (zur zweiwertigen statischen Parallelfeldersimulation) wird die zu prüfende Schaltung auf dem Großrechner modelliert, und der Prüfvorgang wird simuliert. SIMPER erzeugt dabei das Vergleichsnorm für die Prüfung, die Testschrittabelle und die weiteren Informationen über das Prüfobjekt, die zur Fehlerlokalisierung nach dem Abtastverfahren (Fehlerpfadverfolgung) nötig sind. Die Simulation bezieht im Rahmen einer Zeitquantisierung die schaltungsinternen Zeitabläufe genau ein. Ausgegeben wird jedoch nur das stationäre Ergebnis, das für die statische Prüfung ausreicht.

Durch FELSIM kann festgestellt werden, ob die vorliegenden Prüfbedingungen ausreichen, um alle betrachteten Fehler an den Ausgangsklemmen (und Meßpunkten) sichtbar zu machen (Vollständigkeit des Testsatzes). Darüber hinaus wird die Fehlerinformation bestimmt, die für jede Ausgangsklemme mit falschem Potential und für jeden Prüfschritt die möglichen Fehlerursachen enthält. Diese werden im aktuellen Prüfprozeß (Abschn. 3.) so verknüpft (Millsche Induktion), daß mit größtmöglicher Genauigkeit auf den Fehlerort geschlossen werden kann, noch bevor ein vermuteter Fehlerort angetastet worden ist. Gegenwärtig wird dafür das Einfach-Festfehlermodell (stück-at-0,1) zugrunde gelegt.

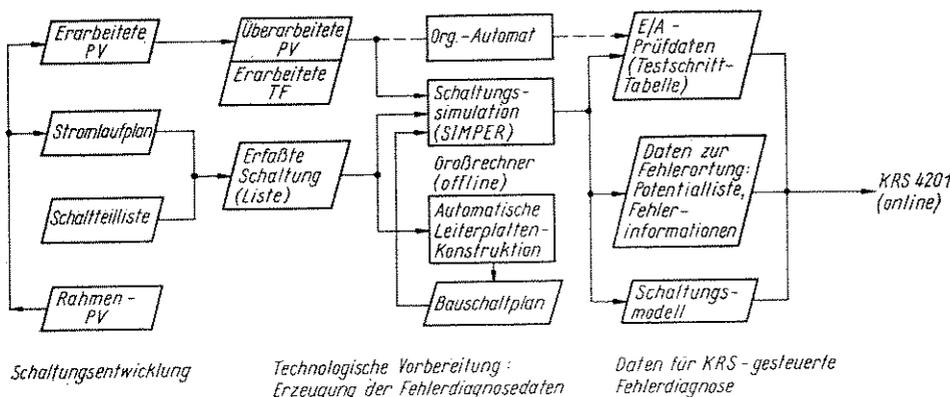


Bild 1
Technologische Linie der Fertigung und Fehlerdiagnose digitaler Karteneinschübe: PV Prüfvorschrift, TF Testfolge, E/A Eingang-Ausgang

Nachrichtentechnik Elektronik

VEB VERLAG TECHNIK BERLIN · ISSN 0092-668X · 32703 · EVP 4,00 M

8

1980

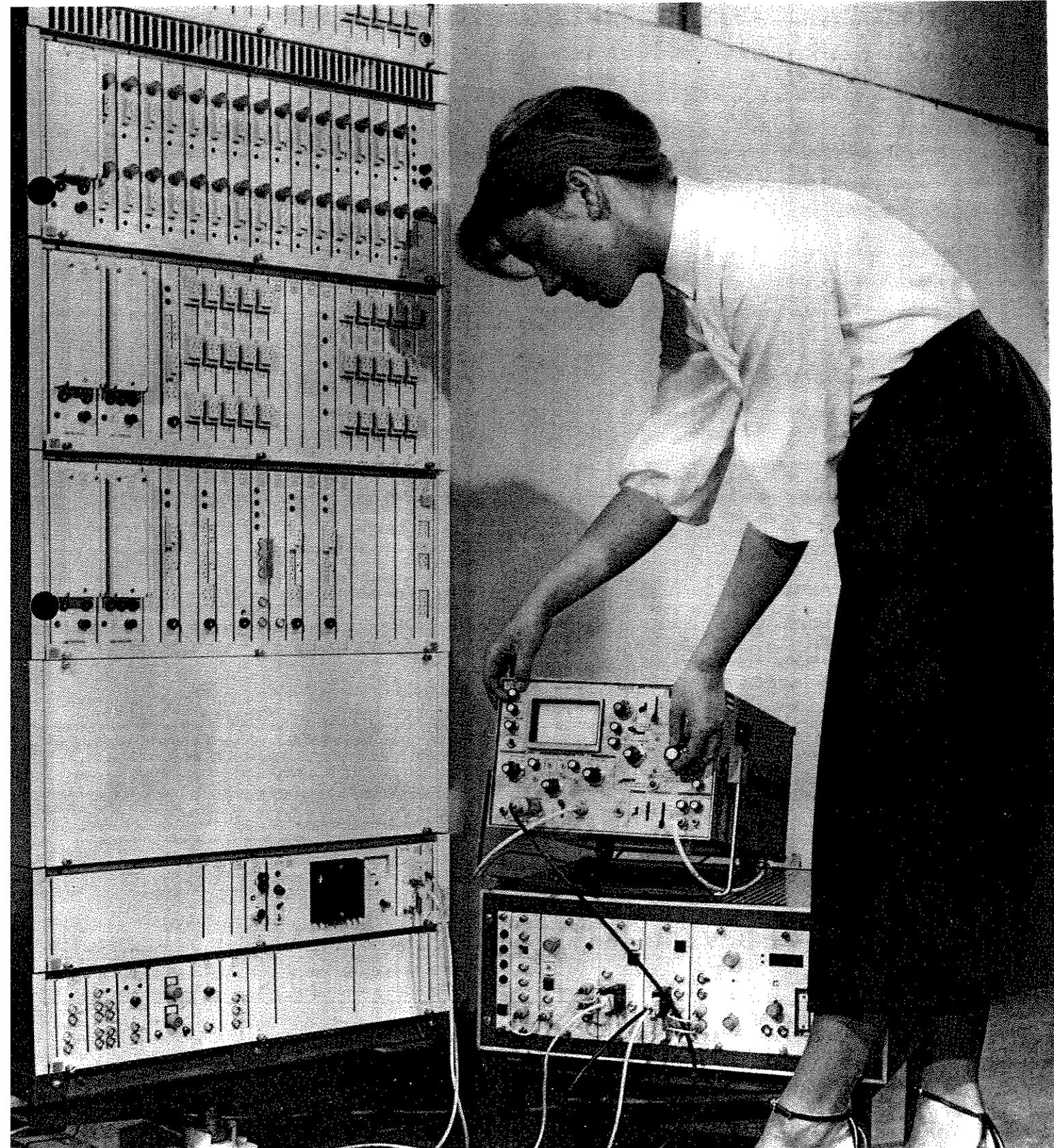
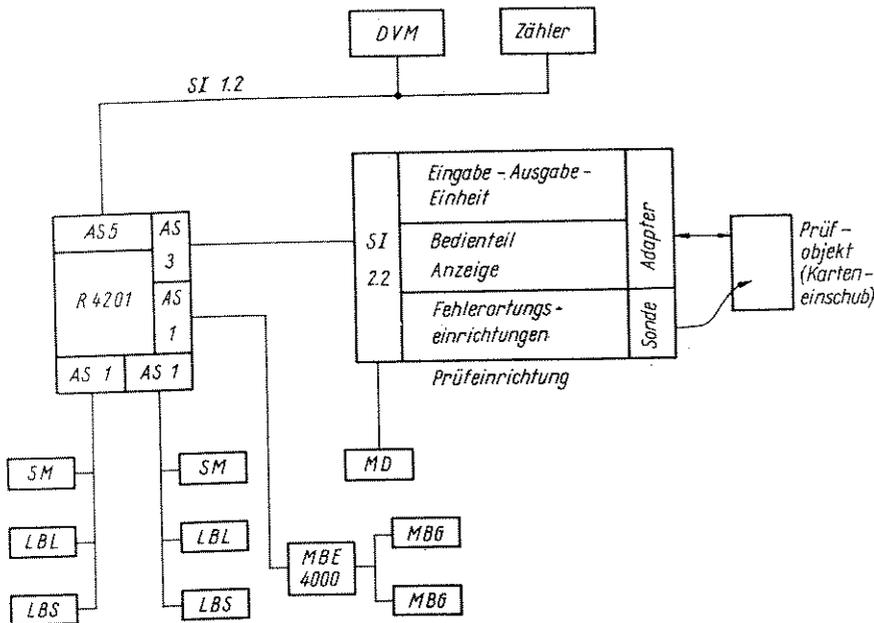


Bild 4. Fehlerdiagnose-Hardware:

AS Anschlußsteuerung, LBL Lochbandleser, LBS Lochbandstanzer, SM Schreibmaschine, MBE Magnetbandeinheit, MD Meßwertdrucker, DVM Digitalvoltmeter, SI Standard-Interface



2.1. Erzeugung des rechnerinternen Schaltungsmodells und der Vergleichsnormale für die Fehlerdiagnose mit SIMPER

SIMPER ist ein Programm zur zweiwertigen dynamischen Simulation des logisch-zeitlichen Verhaltens digitaler Schaltungen unter Verwendung typischer (auch nichtlinearer) Verzögerungszeiten ihrer Bausteine [3] [4].

Es kann u. a. bei der Schaltungsentwicklung, zur Unterlagenerstellung und (für die Produktion von Karteneinschüben) für die Prüftechnik eingesetzt werden.

2.1.1. Eingabedaten

Das Programm SIMPER benötigt folgende Daten:

- Regiesteuerdaten
- Schaltungsdaten, bestehend aus Bausteinliste und Verbindungsliste
- Bauelementedaten
- Simulationssteuerdaten
- Eingangsfolge (hier speziell: Testfolge).

Mit den Regiesteuerdaten werden die Dateiverwaltung und der Ablauf im Programm SIMPER gesteuert (Aufruf der verschiedenen Programmteile, Simulationsart, Anforderung der verschiedenen Ausgabeformen usw.).

Die Schaltungsdaten geben eine vollständige Beschreibung der zu simulierenden Schaltung. Dabei enthält die Bausteinliste zu jedem Baustein (hier im allgemeinen integrierte Schaltkreise) den Bauelementetyp und für die Fehlerortung auch die Position auf dem Karteneinschub. In der Verbindungsliste sind leitungsweise alle miteinander verbundenen Bausteinanschlüsse erfaßt. Sie können baustein- oder logikbezogen angegeben werden (für die Anwendung des SIMPER zur Erzeugung von Diagnose-daten empfiehlt sich die bausteinbezogene Angabe).

Digital modellierbare Schaltungsteile aus diskreten Bauelementen werden jeweils wie ein einziger Baustein behandelt. Analoge Schaltungsteile können von SIMPER nicht verarbeitet werden und sind vom digitalen Teil abzutrennen. Die Schnittstellen werden dann als Schaltungsaus- oder -eingänge angesehen.

Für die Erfassung der Schaltungsdaten stehen Listenvordrucke zur Verfügung, die eine für die Erkennung formaler Erfassungsfehler günstige, formatgebundene Notierung gewährleisten. Die Bauelementedaten der im SIMPER modellierten Bauelementetypen enthalten unter anderem eine Codierung des Logik-Modells und die jeweiligen Schaltzeiten. Für allgemein gebräuchliche Schaltkreise stehen sie in einem residenten Bauelementekatalog bereit, in Sonderfällen - etwa bei veränderten Schaltzeiten - sind sie mit den Schaltungsdaten oder in einem Zusatzkatalog anzugeben.

Für verschiedene in SIMPER (noch) nicht modellierte Bauelementetypen gibt es die Möglichkeit, Ersatzschaltungen aus modellierten Bauelementen als Unternetzwerk (Wiederholstruktur) zu verwenden. Sie werden als gesonderte Schaltung

einzelner erfaßt und können temporär oder dauernd abrufbereit gespeichert werden. Mit einer Ersatzschaltung lassen sich die Schaltzeiten des Bauelements jedoch nicht immer exakt modellieren, auch erhöhen sich Rechenzeit- und Speicheraufwand auf dem Großrechner.

Mit den Simulationssteuerdaten werden unter anderem der zu verwendende kleinste Zeitschritt (Zeitquant) und die Anfangsbedingungen der Simulation bestimmt. Außerdem lassen sich durch sie der Erfassungsaufwand für die Eingangsfolge verringern und der Druck des Simulationsergebnisses und einiger Fehlerhinweise steuern. Die Eingangsfolge enthält zeitlich geordnet (als Testfolge bedeutet das testschrittweise) die Angabe der Signalwechsel an den Schaltungseingängen.

Soll das Simulationsergebnis gezeichnet werden, wird im Anschluß an SIMPER das Programm SIMZEI aufgerufen. Es benötigt entsprechende Zeichnungssteuerdaten, die Angaben für die einzelnen Zeichnungen wie Blattformat, Maßstab, gewünschter Ausschnitt des Simulationsergebnisses usw. enthalten.

2.1.2. Abarbeitungsstufen und Ausgabedaten der Simulation

Neben den Programmteilen zur Datenorganisation enthält SIMPER die Abarbeitungsstufen

- Schaltungsdaten lesen und prüfen, Schaltungsmodell erstellen
- Simulationssteuerdaten interpretieren, Schaltungsmodell initialisieren (Anfangszustand für die Simulation erzeugen)
- Eingangsfolge lesen und aufbereiten
- Simulation als Entwurfssimulation oder als Prüfsimulation.

Mit den Regiesteuerdaten kann nach einer Abarbeitungsstufe ihr Ergebnis auf einer Datei gespeichert werden oder man beginnt mit einem gespeicherten Zwischenergebnis bei der nächsten Stufe. Somit ist es auch möglich, dasselbe Schaltungsmodell mit verschiedenen Eingangsfolgen oder Anfangsbedingungen zu simulieren.

Auf Anforderung wird in der ersten Abarbeitungsstufe ein für die Fehlerdiagnose geeignetes Strukturmodell der Schaltung erzeugt. Es enthält alle für Fehlererkennung und -ortung relevanten Angaben aus den Schaltungsdaten und wird auf Lochstreifen ausgegeben.

Das Simulationsergebnis kann in verschiedener Form gedruckt werden. Es enthält in einer leicht verständlichen Symbolik jeweils die aktuelle Belegung sämtlicher Beobachtungspunkte. Das sind die Schaltungsein- und -ausgänge und die in den Schaltungsdaten oder in den Simulationssteuerdaten angegebenen schaltungsinternen Meßpunkte.

Bei der Prüfsimulation wird zu jeder neuen Eingangsbelegung der sich daraus ergebende stationäre Zustand der Schaltung berechnet. Auf dynamische Effekte, wie beim Differenzglied oder beim Monoflop, wird zwar durch eine Simulationsdiagnose hingewiesen, dem statischen Prüfverfahren entsprechend sind sie in der Potentialliste jedoch nur an ihrer Wirkung erkennbar,

oder sie gehen völlig unter. Das Simulationsergebnis wird als Testschrittabelle gedruckt, die für jeden Testschritt die Eingangsbelegung und die sich daraus ergebende Belegung der Ausgänge und die schaltungsinternen Meßpunkte enthält. Bei der Entwurfssimulation können darüber hinaus die zeitlichen Relationen der Signalwechsel zueinander beachtet werden; dynamische Effekte sind erkennbar. Das Simulationsergebnis wird entweder als Impulsablaufdiagramm zu jedem Zeitpunkt gedruckt, in dem der Signalwert an einem Beobachtungspunkt wechselt, oder in einer verkürzten Form jeweils zum Zeitpunkt eines Eingangssignalwechsels.

Für Diagnosezwecke wird die Potentialliste als Vergleichsnormale für Prüfung und Fehlerortung auf Lochstreifen ausgegeben. Sie enthält für jeden Testschritt die ermittelte Sollbelegung jeder Leitung der Schaltung und wird zusammen mit dem Strukturmodell verwendet.

Auf besondere Anforderung wird zusätzlich der vollständige Simulationsablauf auf einer Übergabedatei für nachfolgende Programme — wie etwa das Zeichenprogramm SIMZEI — zur Verarbeitung bereitgestellt. In ihm ist im zeitlichen Ablauf der Simulation jeder Signalwechsel an jedem Punkt der Schaltung enthalten.

2.2. Erzeugung der Fehlerinformation durch parallele Fehler-simulation

Zusätzlich zu den im Abschnitt 2.1. genannten Angaben müssen für die Fehlersimulation mit FELSIM folgende Daten zur Verfügung stehen:

- Fehlerdaten
- Ersetzungsaufgaben und Ersatzschaltungen für Schaltkreise, die FELSIM wegen ihrer Komplexität nicht behandeln kann.

Die Fehlerdaten können automatisch durch ein Programm generiert oder auch eingelesen werden. Im ersten Fall werden zunächst alle logischen Einfachfehler (stuck-at-Fehler) erzeugt und in einem weiteren Schritt zu Klassen von logisch nicht unterscheidbaren Fehlern (Äquivalenzklassen) zusammengelegt (Bild 5). Das Programm FELSIM kann sich dann darauf beschränken, nur jeweils einen Repräsentanten jeder Fehlerklasse zu berücksichtigen. Durch diese Klassenbildung wird erheblich an Speicherplatz und Rechenzeit auf dem Großrechner gespart.

Das Programm FELSIM kann gegenwärtig Schaltungen aus den logischen Grundgattern, AND, NAND, OR, NOR, EXOR, Äquivalenz und aus Verzögerungsgliedern (bzw. idealen Schaltern) bearbeiten. Daher müssen z. B. komplex beschaltete Flipflops durch Ersatzschaltungen modelliert werden [5] [8]. Diese Schaltungen befinden sich in einem Katalog und können aktuell ergänzt werden. Die Ersetzungsaufgaben benennen die Schaltkreise, die durch bestimmte Ersatzschaltungen darzustellen sind. Den Vorgang des Ersetzens komplexerer Schaltkreise durch Schaltungen aus weniger komplexen Elementen nennt man Schaltungsexpansion.

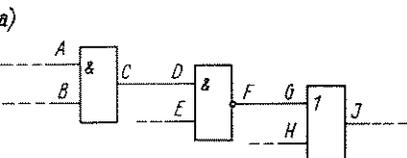


Bild 5
Illustration zur Fehlerklassenbildung

- a) Folgende Fehler sind logisch nicht unterscheidbar: A-0, B-0, G-0, D-0, E-0, F-1, G-1, H-1, I-1, ...
- b) Wahlweise kann die Dominanz eines 0-Fehlers auf einer Leitung für alle Leitungsstifte gefordert werden. Dann sind die Fehler C-0, D-0, E-0, F-0, ... nicht unterscheidbar und werden durch den Fehler C-0 repräsentiert

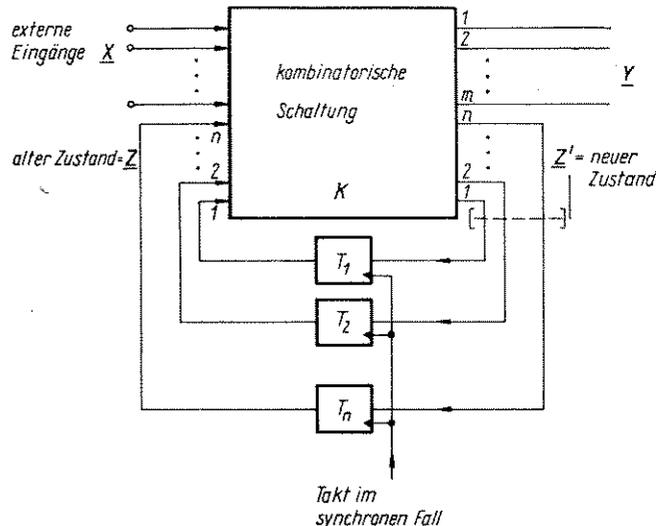
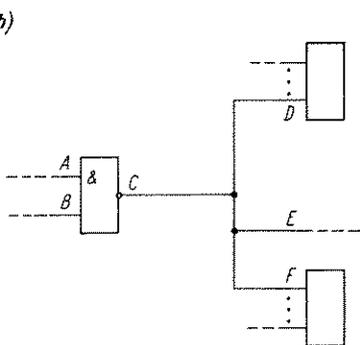


Bild 6. Das dem Programm FELSIM zugrunde gelegte Schaltungsmodell

Synchron getaktete Schaltungen lassen sich gemäß Bild 6 modellieren. Entsprechend der Darstellung der Schaltung durch ein statisches Modell [5] durchlaufen die Signale den kombinatorischen Teil K ohne Zeitverzögerung. Bei Taktung werden die an den Eingängen der Schalter T_i anliegenden Signale durchgeschaltet.

Für den asynchronen Fall werden die Schalter als Verzögerungen bzw. als Auftrennungen von Rückführungen aufgefaßt: Änderungen an Eingängen von K führen zu Änderungen an dessen Ausgängen, die im Modell ohne Zeitverzögerung eintreten. Änderten sich die Signalwerte an den Schaltereingängen, so werden die neuen Signalwerte durchgeschaltet, und K wird erneut durchlaufen (Bild 6).

Dabei werden gleichzeitig (parallel) n fehlerhafte Schaltungen und die fehlerfreie Schaltung simuliert. Dazu wird ein $(n + 1)$ -dimensionales Signalmodell verwendet (Bild 7). Erreicht ein solches Signal einen Ort (Anschlußstift), an dem der Fehler i aktiv ist, so wird an der $(i + 1)$ ten Stelle der Wert des Fehlers (0 oder 1) eingetragen. Der Wert an der ersten Stelle gibt das fehlerfreie logische Potential an.

Nach Beendigung der Simulation eines Testschrittes kann an den so dargestellten Signalwerten unmittelbar abgelesen werden, welche Fehler in diesem Schritt welche Ausgangssignale verfälschen. Diese Informationen werden — neben den durch die Testfolge nicht erkennbaren Fehlern — als Fehlerinformation über einen geeigneten Datenträger an den Kleinrechner zur Steuerung der automatisierten Fehlerortung übergeben. Darüber hinaus werden natürlich auch die Fehlerdaten selbst (alle

Bild 7. Beispiel für Parallelsimulation mit zwei Fehlern

Fehler 1: A fest auf 0; Fehler 2: B fest auf 1.
Fehler 1 wird am Ausgang erkannt, wenn an den Eingängen 010 angelegt wird, da sich der Wert der ersten Stelle (korrekter Wert 1) vom Wert an der Stelle 2 (fehlerhafter Wert 0) unterscheidet. Fehler 2 wird bei der vorliegenden Eingangsbelegung nicht erkannt

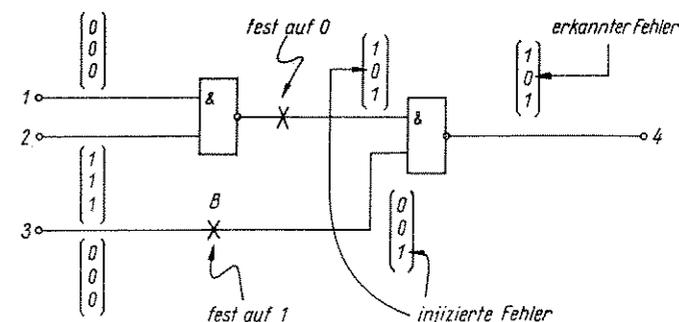
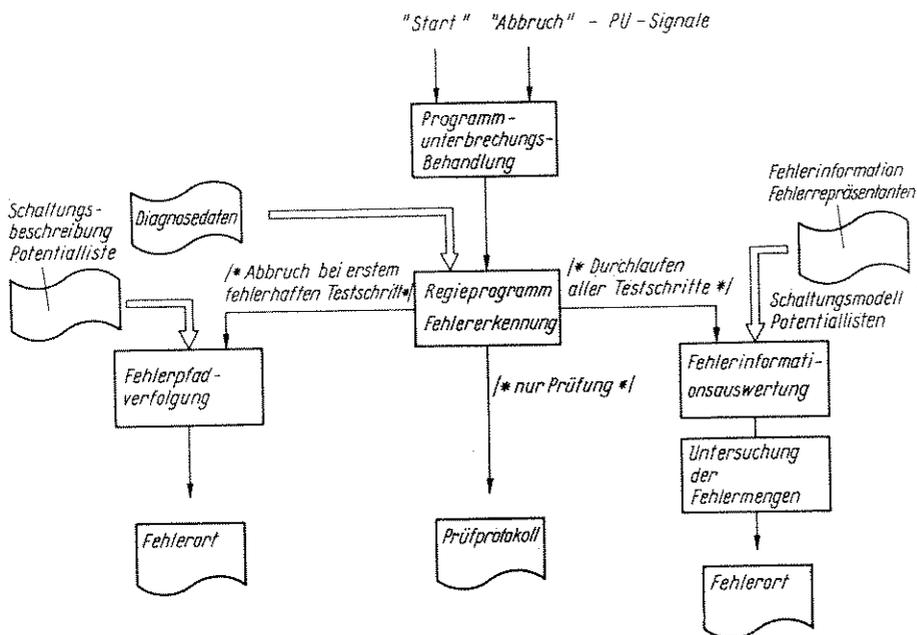


Bild 8. Möglichkeiten bei Fehlererkennung und -ortung



in den Fehlerklassen vorhandenen Fehler mit Positionsangabe, Fehlerart usw.) dem Kleinrechner zur Verfügung gestellt.

3. Diagnoseprogramme auf dem Kleinrechner

Der prinzipielle Ablauf der im VEB Kombinat Nachrichtenelektronik realisierten Variante zur rechnergestützten Fehlerdiagnose digitaler Karteneinschübe ist im Bild 8 dargestellt. Über die im Abschnitt 4. vorgestellte Prüfeinrichtung wird eine Programmunterbrechung (PU) an den Rechner gemeldet und dort entsprechend verarbeitet.

Durch das PU-Behandlungsprogramm für das Startsignal wird das Regieprogramm aktiviert. In Abhängigkeit von den an der Prüfeinrichtung eingestellten Betriebsarten wird der Prüfablauf gesteuert. Zur Fehlererkennung wird die Testschrittabelle abgearbeitet, und es wird ein Fehlerprotokoll ausgegeben. Ist eine Fehlerortung vorgesehen, wird — je nach gewählter Betriebsart — zur Fehlerpfadverfolgung oder zur Fehlerinformationsauswertung übergegangen.

Die Programme zur Fehlererkennung und Fehlerortung laufen unter dem Echtzeit-Steuerprogrammssystem ESKO 4200. Als Recherausstattung wird eine Konfiguration nach Bild 4 verwendet.

3.1. Fehlererkennung

Das Steuerprogramm zur Fehlererkennung realisiert das Einlesen der Diagnosedaten, die Zusammenarbeit mit der Prüfeinrichtung und das Aufrufen der Fehlerortungsroutinen. An der Prüfeinrichtung können unterschiedliche Betriebsarten eingestellt werden (Fehlerstop, Gesamtprüfen, Vorwahl), die vom Steuerprogramm ausgeführt werden. Für die Steuerung der kombinierten Geber und Empfänger in der Prüfeinrichtung werden eine Zuordnung der Prüfobjektein- und -ausgänge und die Potentialbelegungen der Steckverbinderkontakte benötigt. Sie werden aus den Diagnosedaten ermittelt, die eine genaue Beschreibung der Schaltung und die Potentialangaben für jede Leitung des Prüfobjekts enthalten. Da bei einigen zu prüfenden Baugruppen vor der Fehlererkennung ein definierter Anfangszustand eingestellt werden muß (Initialisierung), werden durch das Steuerprogramm prüfobjektbezogene Routinen aufgerufen. Das Steuerprogramm vergleicht in jedem Testschritt die Potentiale an den Anschlüssen des Prüfobjekts mit den Angaben aus der Testschrittabelle. Bei Nichtübereinstimmung folgt eine Fehlermeldung. Über einen Meßwertdrucker an der Prüfeinrichtung kann ein Fehlerprotokoll ausgegeben werden.

3.2. Fehlerpfadverfolgung

Eine einfache Methode zur Fehlerortung bei digitalen Karteneinschüben ist die Verfolgung des sogenannten Fehlerpfades. Ausgehend von einem fehlerhaften Anschlußkontakt des Prüfobjekts werden die Leitungen verfolgt, die ein von der Sollvor-

gabe der Diagnosedaten abweichendes logisches Potential haben, bis eine Leitung erreicht wird, deren Potential mit der Vorgabe übereinstimmt. Als Fehlerort wird der zuletzt untersuchte Baustein ausgewiesen.

Bild 9 zeigt den prinzipiellen Ablauf der Fehlerpfadverfolgung. An einem konkreten Beispiel (Bild 10) läßt sich das näher erläutern: Als Fehlerursache wird ein Kurzschluß des Ausgangsstiftes 11 des Bausteins D 19 nach Massepotential angenommen. Dieser Fehler führte im Testschritt 25 am Steckverbinderkontakt X1 A 21 zu einer Fehlermeldung. Das Pfadverfolgungsprogramm bekommt vom Steuerprogramm der Fehlererkennung die Meldung über den fehlerhaften Testschritt und den Steckverbinderkontakt. Für den Anschlußkontakt ermittelt das Fehlerortungsprogramm aus den Listen der Schaltungsdaten die Nummer der Leitung, die mit diesem Anschlußkontakt verbunden ist (hier die Leitungsnummer 68). Aus der Schaltungsbeschreibung, in der für jede Leitungsnummer der Funktionselementeausgang bzw. Steckverbinder-Eingang festgehalten ist, von dem die Leitung ausgeht, wird der Funktionselemente-Ausgang 6 des Bausteins 15 bestimmt. Für den Ausgang 6 werden die dazugehörigen Funktionselemente-Eingänge ermittelt (hier Eingänge 3, 4, 5 mit den Leitungsnummern 49, 48, 47). Die erhaltenen Leitungsnummern werden zur Aufstellung der Sollbelegung benutzt, indem aus der Liste der vollständigen Potentialangaben für den Testschritt 25 die Sollpotentiale entnommen und entsprechend zusammengefaßt werden. Die in der Schaltungsbeschreibung enthaltene Positionsangabe des Bausteins auf dem Prüfobjekt wird an die Prüfeinrichtung ausgegeben. Der Bediener der Prüfeinrichtung hat einen Bausteinabtaster oder, wenn eine Antastung des Bausteins aus konstruktiven Gründen nicht möglich ist, eine Abtastspitze aufzusetzen. Der Rechner übernimmt die gemessenen Potentiale und führt eine erste Fehleruntersuchung durch (richtige Polung der Sonde, Pegel an den Stromversorgungskontakten im Toleranzbereich u.ä.). Können die Bausteinpotentiale nur mit einer Abtastspitze gewonnen werden, führt das Fehlerortungsprogramm den Bediener an die zu kontaktierenden Anschlußstifte. Nach der Antastung des Bausteins wird die Istbelegung übernommen und mit der berechneten Sollbelegung verglichen. Dabei wird festgestellt, daß der Eingangskontakt 5 ein fehlerhaftes Potential aufweist. Dieser Kontakt 5 wird als neuer Ausgangspunkt für die Pfadverfolgung benutzt, d. h., die Leitungsnummer wird bestimmt (47), der dazugehörige Bausteinausgang (Kontakt 8 von D9) und für den Ausgang die entsprechenden Eingänge (2, 3, 4, 5, 9, 10, 11, 12, 13) sowie die Sollbelegung werden ermittelt. Außerdem läuft der Ist-Soll-Vergleich ab. Im gewählten Beispiel wird ein fehlerhaftes Potential am Eingangsstift 2 von D9 festgestellt. Die weitere Verfolgung führt zur Überprüfung von D19.4. Der Ist-Soll-Vergleich zeigt, daß die Eingangsstifte die richtigen logischen Potentiale aufweisen, daß aber am Aus-

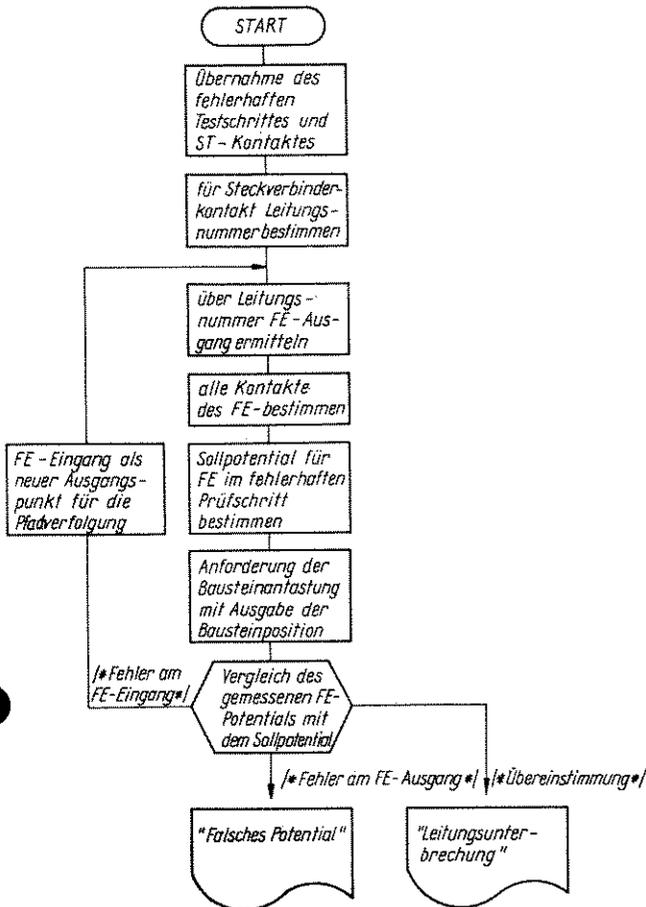


Bild 9. Prinzipieller Ablauf der Fehlerpfadverfolgung

gang 11 ein falsches Signal vorhanden ist. Da es sich bei dem untersuchten Baustein um ein kombinatorisches Funktionselement *FE* handelt, wird die Fehlerstelle protokolliert (falsches Potential auf Leitung *D19/11* — *D9/2*). Die physikalische Fehlerursache (defekter *D19.4* oder *D9.1*, Kurzschluß zwischen benachbarten Leitungen) wird mit zusätzlichen gerätetechnischen Mitteln bestimmt (Pulser, Kurzschlußprüfung). Für die Lokalisierung an sequentiellen *FE* stehen spezielle Routinen zur Verfügung (Durchlaufen aller vorhergehenden Prüfschritte, Umsortieren fehlerhafter Eingangskontakte entsprechend vorgegebener Prioritäten u. a.).

3.3. Fehlerortung unter Anwendung der Fehlerinformation

Um die Anzahl der manuellen Bausteinantastungen bei der Fehlerpfadverfolgung zu verringern, wobei alle Leitungen des fehlerhaften Pfades überprüft werden müssen, wird das Verfahren der Fehlerinformationsauswertung genutzt. Die Fehlerinformation wird mit der Fehlersimulation gewonnen (Abschnitt 2.2.). Die Anwendung der Fehlersimulationsdaten gliedert sich in zwei Etappen: Auswertung der Fehlerinformation und Untersuchung der Fehlermengen.

Vor Beginn der Abarbeitung der Testschritttabelle werden alle simulierten Fehlerursachen als auf dem Prüfobjekt vorhanden vorgegeben. Nach jedem abgearbeiteten Testschritt wird für jeden Prüfobjektausgang ausgewertet. In Abhängigkeit davon, ob der betrachtete Prüfobjektausgang fehlerhaft ist oder nicht, wird eine differenzierte Verknüpfung zwischen der Vorgabe und der Fehlerinformation vorgenommen. Ist der Ausgang fehlerhaft, werden durch eine Durchschnittsbildung die Einfachfehler herausgestrichen, die das Signal an diesem Ausgang nicht verfälschen können. Ist ein Prüfobjektausgang nicht fehlerbehaftet, so wird die Fehlerinformation dazu benutzt, in der Fehlermenge diejenigen Fehler herauszustrichen, die an dem betrachteten Ausgang im Falle des Auftretens ein fehlerhaftes Signal erzeugen hätten. Da bei der ersten Durchschnittsbildung auch Fehlerursachen gestrichen werden, die beim Auftreten von Mehrfachfehlern vorhanden sein können, wurde eine zusätzliche Fehler-

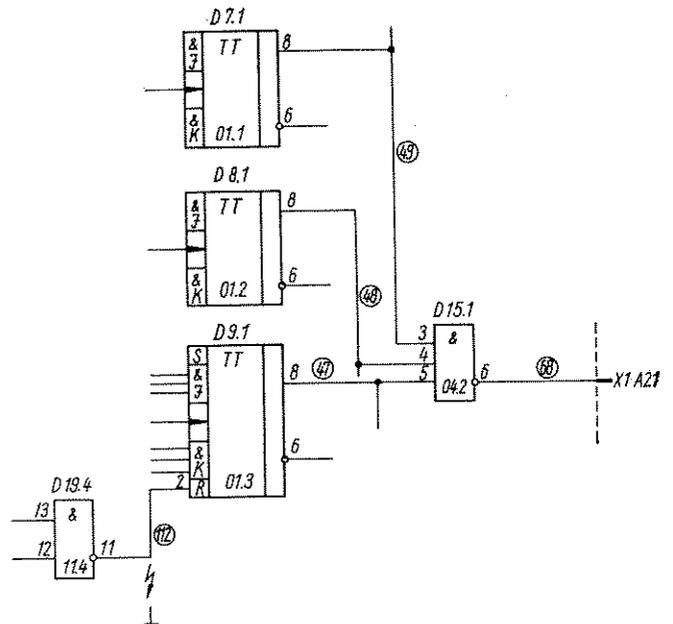


Bild 10. Teil einer zu prüfenden Baugruppe für die vorgegebene Fehlerursache „D 19.4, Stift 11 hat Kurzschluß nach Masse“

menge eingeführt, bei der auf diese Verknüpfung verzichtet wird. So können auch Mehrfachfehler geortet werden. Diese Verknüpfungen werden über alle Ausgangskontakte und Testschritte vorgenommen. Nach dem Durchlaufen sämtlicher Testschritte ergibt sich die reduzierte Menge für Einfach- und Mehrfachfehler. Die beiden Mengen sind leer, wenn das Prüfobjekt fehlerfrei ist. Zur genauen Ermittlung der Fehlerursache sind die in den Fehlermengen angegebenen Fehlermöglichkeiten näher zu untersuchen. Es wird zunächst die Menge der Einfachfehler betrachtet. Kann in dieser Menge keine Fehlerursache festgestellt werden, ist die Untersuchung mit der Menge der Mehrfachfehler vorzunehmen. Überprüft wird durch Antasten des berechneten Fehlerorts, um das gemessene logische Potential mit der berechneten Fehlerursache zu vergleichen. Dazu wird am Prüfobjekt ein entsprechender Testschritt eingestellt; abgetastet wird analog zur Fehlerpfadverfolgung mit einer Sonde oder Meßspitze.

Konnte nach Untersuchung beider Fehlermengen keine simulierte Fehlerursache nachgewiesen werden, wird dieses Fehlerortungsverfahren abgebrochen und zu einer anderen Methode übergegangen (z. B. Fehlerpfadverfolgung).

Die Dauer der Fehlerortung wird bei beiden beschriebenen Verfahren im wesentlichen von der Zeit bestimmt, die der Bediener der Prüfeinrichtung benötigt, um den angezeigten Fehlerort (Baustein, Steckverbinderstift) anzutasten. Mit dem Verfahren der Fehlerinformationsauswertung werden Fehler daher wesentlich schneller als nach der Methode der Fehlerpfadverfolgung geortet. Allerdings setzt das voraus, daß ein schneller externer Speicher (Magnetplatte, Magnettrommel) für die Fehlerinformationsdaten zur Verfügung steht.

4. Diagnose-Hardware

Unter Diagnose-Hardware wird verstanden:

- Kleinrechnersystem KRS 4201
- Prüfeinrichtung mit externer Meßtechnik (Bild 11).

4.1. Kleinrechnersystem KRS 4201

Die benutzte Rechnerkonfiguration ist Bild 4 zu entnehmen. Der Rechner verfügt über einen Arbeitsspeicher von 16 K Wörtern der Wortlänge 16 bit. Die Magnetbandeinheit ist als externer Speicher zur Aufnahme der Testfolgen mehrerer Prüfobjekttypen und der Fehlerinformation erforderlich.

4.2. Prüfeinrichtung mit externer Meßtechnik

Die Prüfeinrichtung, das Bindeglied zwischen Rechneranschluß und zu prüfender Baugruppe, besteht im wesentlichen aus den Funktionsgruppen

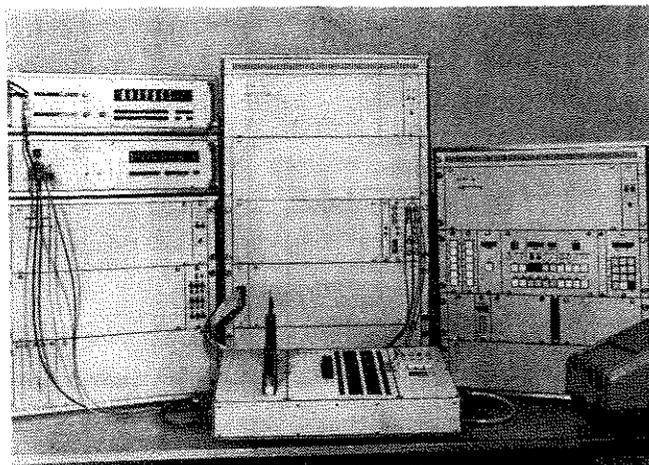


Bild 11. Prüfeinrichtung zur rechnergestützten Fehlerdiagnose in der Fertigungsprüfung

- Interfaceeinheit
- Sende- und Empfangsbaugruppe
- Bedien- und Anzeigeteil
- Baugruppen zur Fehlerortung
- Prüfadapter
- Externe Meßtechnik.

Die Interfaceeinheit steuert den Datenaustausch zwischen Rechner und dem Prüfobjekt nach dem Standard-Interface SI 2.2. für Linienverkehr. Sie ist mit handelsüblichen Karteneinschüben (SIM) aufgebaut.

Die Sende- und Empfangsbaugruppe ist wesentlicher Bestandteil der Prüfhardware. Sie steht in direktem Signalaustausch mit dem Prüfobjekt und muß den folgenden Anforderungen genügen:

- Ausgabe TTL-gerechter Signale mit hohem Ausgangslastfaktor (Sendebetrieb)
- Empfangsbetrieb bei abgeschaltetem Sender: Die logischen Signale werden spannungsbewertet. Die gewünschte Betriebsart ist programmierbar. Auch während des Sendebetriebes sind die ausgegebenen Signale zu kontrollieren (Selbstüberwachung).
- Schutz vor Überlastung und Zerstörung durch äußere Einflüsse (Fremdspannungen).
- Gewährleistung des parallelen Betriebs für mindestens 90 Koppelpunkte (entsprechend des beim Prüfobjekt eingesetzten Steckverbinders).

Die Sende- und Empfangsbaugruppe besteht aus 96 (wegen der Zuordnung von 6 Rechnerworten zu je 16 bit) gleichartig aufgebauten sogenannten Koppelpunkteinheiten (KPE), von denen jede einem bestimmten Steckverbinderkontakt des Prüfobjekts zugeordnet ist. Bild 12 zeigt den prinzipiellen Aufbau einer solchen KPE und deren Signalaustausch mit dem Rechner.

Je KPE sind vom Rechner zwei Informationsbit auszugeben:

1. Eingangs- und Ausgangszuordnung (E-A)
2. eigentliches logisches Signal.

Fordert die E-A-Programmierung, daß die KPE als Sender arbeiten soll, d. h., wird sie einem Prüfobjekt-Eingang zugeordnet, der mit einem logischen Signal belegt werden soll, wird über die logische Verknüpfung LV der Transistorschalter S geöffnet. Ein Leistungsgatter (Verstärkersymbol im Bild) verleiht dem auszugebenden logischen Signal eine hohe Belastbarkeit. Gleichzeitig wird das gesendete Signal durch den Komparator K bewertet. Die entsprechende Referenzspannung wird automatisch in Abhängigkeit vom ausgegebenen logischen Wert gebildet. Der Bewerter meldet Fehler, wenn der Toleranzbereich des programmierten logischen Signals verlassen wird, d. h. sowohl bei Potentialen im „verbotenen Bereich“ als auch im komplementären logischen Zustand. Der automatische Überlastschutz spricht an, wenn ein Low-Signal gesendet, es aber am Ausgang durch eine High-Signalquelle geringen Innenwiderstandes (z. B. 5 V-Betriebsspannung) so stark belastet wird, daß es den Low-

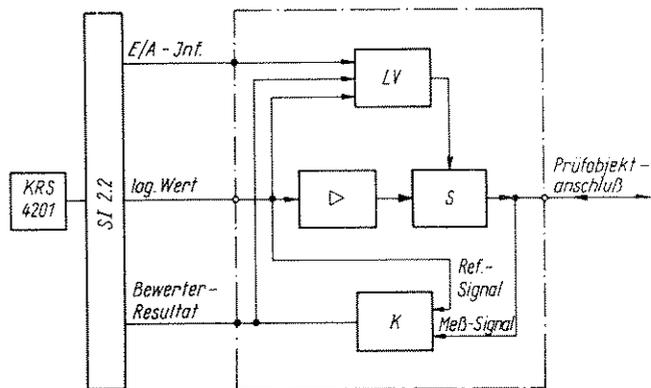


Bild 12. Prinzipieller Aufbau einer Koppelpunkteinheit: LV logische Verknüpfung, S Transistorschalter, \triangleright Leistungsgatter, K Komparator

Bereich überschreitet. Dieser Fall kann durch fehlerhafte Programmierung, durch Kurzschlüsse auf dem Prüfobjekt o. ä. eintreten und führt ohne Schutzmaßnahmen in kurzer Zeit zur Zerstörung des Leistungsgatters. Die Überschreitung des Low-Bereiches bewirkt ein Fehlersignal am Ausgang des Komparators, der über die logische Verknüpfung LV ein Sperren der Schaltstufe S bewirkt. Schutz gegen höhere positive sowie negative Potentiale am Ausgang bieten in üblicher Weise eingesetzte Z-Dioden.

Ist die KPE als Empfänger einem Prüfobjekt-Ausgang zugeordnet, ist die Schaltstufe S gesperrt, und es werden nur die Signale vom Prüfobjekt bewertet. Das Bewertungsergebnis wird dem Rechner mitgeteilt. Ausführlich wird die KPE in [6] beschrieben. Das Bedien- und Anzeigeteil gestattet Start und Ablauf der rechnergesteuerten Fehlerdiagnose unter Umgehung eines direkten Zugriffs zu Bedienelementen des Rechners und seiner Peripherie vom Prüfplatz aus.

Mit einem von der Taste „Start“ ausgelösten PU-Signal beginnt der Prüfablauf zur Fehlererkennung. Tritt ein Fehler auf, wird der Zyklus unterbrochen, und die Nummern des aktuellen Prüfschrittes sowie des mit fehlerhaftem Potential belegten Steckverbinderkontaktes werden angezeigt (Lumineszenzdiodenanzeige) bzw. ausgedruckt. Vor der Startauslösung ist über eine Zifferneingabetastatur die Kennnummer des zu prüfenden Karteneinschubes einzugeben. Die Eingabe einer falschen, nicht geladenen oder vereinbarten Nummer wird mit einer Fehleranzeige „Kennungsfehler“ quittiert; eine Prüfung kann nicht ablaufen.

Über die folgenden Bedientasten ist unter mehreren Betriebsarten der Fehlererkennung zu wählen:

- Vollständige Abarbeitung des Fehlererkennungsprogramms und bei Bedarf Protokollierung der aufgetretenen Fehler
- Lauf bis zu einem über die Zifferneingabetastatur vorgeählten Prüfschritt
- Schrittbetrieb mit Stop nach jedem Prüfschritt und Weiterlauf durch Betätigen einer entsprechenden Taste
- Lauf bis zum Auftreten des 1. Fehlers.

Wird die Taste zur Fehlerortung gesetzt, schließt sich an die Fehlererkennung ein Fehlerortungsablauf an, wobei zwei Varianten möglich sind:

- Taste Fehlerortung und 1. Fehler betätigt: Sobald bei der Prüfung ein Fehler auftritt, wird eine Fehlerpfadverfolgung ablaufen
- Taste Fehlerortung und Gesamtprüfung betätigt: Am Ende des vollständigen Fehlererkennungsablaufs wird ein Programm zur Auswertung der aufgetretenen Fehler mit Hilfe von Fehlerinformationen gestartet.

Zum Protokollausdruck ist ein handelsüblicher Meßwertdrucker im Einsatz. Er druckt die erkannten Fehler (Prüfschrittnummer und Steckverbinderkontakt) sowie die Ergebnisse der Fehlerortung (Fehlerursache, Fehlerort) aus.

Die Baugruppen zur Fehlerortung liefern Informationen über interne Potentiale des Prüfbobjekts. Dazu gehören Abtastsonde und -stift mit der Auswertelektronik, Positions- und Kontaktierungsanzeige. Die Rasterposition der während des Lokalisierungslaufs abzutastenden integrierten Schaltkreise wird über eine LED-Ziffernanzeige ausgegeben (Zeilen- und Spaltennummer). Am bezeichneten Ort wird die Sonde aufgesetzt. Die Auswertelektronik, bestehend aus Impedanzwandler hohen Eingangswiderstands, aus Komparatoren und Auswertelogik, übernimmt die Potentiale der IS-Anschlüsse und liefert nach einer genauen Bewertung Informationen über die logischen Signale einschließlich Einhaltung der Toleranzgrenzen. Ferner wird signalisiert, wenn es zwischen Sondenklemme und IS-Pin zu keinem Kontakt gekommen ist. Mit Lumineszenzdioden, die im Sinne der IS-Anschlüsse angeordnet sind, wird der Kontaktierungsstatus angezeigt. Die Informationen über die gemessenen Potentiale werden erst dann vom Rechner übernommen, wenn erfolgreich kontaktiert und eine Übernahmetaste gedrückt wurde. Ist es nicht möglich, die Sonde aufzusetzen (IS höherer Integration, konstruktive Gründe), muß mit einem Stift angetastet werden. Ist eine solche Situation gegeben, wird durch Betätigen der Taste „Stift“ der Rechner veranlaßt, zusätzlich zur Positionsanzeige die Nummer des anzutastenden IS-Pin anzugeben. Indikator ist wieder die genannte Kontaktierungsanzeige. Ist der Stift aufgesetzt, verlicht die betreffende Lumineszenzdiode, und die Übernahmetaste kann betätigt werden.

Ebenfalls den Baugruppen der Fehlerortung zuzuordnen sind die Lokalisierungshilfen: Eine Fehlerortung führt im allgemeinen auf eine Signalleitung, die fehlerhaftes Potential führt, jedoch selten auf die eigentliche physikalische Fehlerursache, denn sowohl mit der Leitung verbundene Ein- und Ausgänge von IS-Funktionselementen als auch Kurzschlüsse mit anderen Leitungen können das Signal verfälschen. Unnötige IS-Wechsel und Auftrennen von Leiterzügen verursachen aber hohe Kosten und starke Qualitätseinbußen. Daher wurde eine programmierbare Fehlerlokalisierungseinrichtung entwickelt, die ein zerstörungsfreies Eliminieren der funktionstüchtigen IS gestattet. Die Einrichtung wird über die Abtastsonde mit den Anschlußkontakten des IS verbunden. Zunächst wird bei ausgeschalteter Betriebsspannung (Prüfbjekt stromlos) am betreffenden IS eine Kurzschlußprüfung (wählbarer Pin gegen alle übrigen) vorgenommen. Ist kein Kurzschluß feststellbar, wird bei eingeschalteter Betriebsspannung die fehlerbehaftete Leitung kurzzeitig mit einem High-Low-Zwangsimpuls hoher Stromamplitude belegt. Funktionstüchtige IS antworten mit einem entsprechenden Ausgangssignal, so daß auf diese Weise auf den fehlerhaften IS geschlossen werden kann.

Der Prüfadapter besteht aus einer mechanischen Aufnahmevorrichtung für das Prüfbjekt, elektrischen Anschlußbuchsen für dessen Steckverbinder sowie Rangierplatte und Verbindungskabel, die über einen weiteren Steckverbinder zur Prüfeinrichtung führen.

Die Aufnahmevorrichtung ist für Karteneinschübe der EGS-Maße 135 mm × 170 mm ausgelegt und hat einen mechanischen Auswerfer. Das Kontaktieren des Karteneinschubes geschieht manuell, wobei eine Führung ein gefahrloses Stecken garantiert. Die Anzahl der elektrischen Anschlüsse beträgt 90, ist aber erweiterbar. Durch Rangieren auf einer eingefügten Leiterplatte kann die Zuordnung der Steckverbinderkontakte je nach Prüfbjekt-Typ verändert werden.

Schließlich sei die externe Meßtechnik erwähnt. Bild 11 zeigt die handelsüblichen Meßgeräte Digitalvoltmeter und Zählfrequenzmesser. Sie kommen zum Einsatz, wenn das Prüfbjekt eine über das digitale, statische Verfahren hinausgehende Fehlerdiagnose erforderlich macht.

5. Anwendung und Erfahrungen

Das Verfahren der Fehlerpfadverfolgung kommt bei der Fertigungsprüfung von Baugruppen moderner nachrichtentechnischer Geräte und Anlagen zum Einsatz, während die Fehlerinformation bisher nur in experimentellen Diagnosefällen zur Fehlerortung eingesetzt wurde. Gegenüber herkömmlichen Prüfmethode — d.h. manuelle Erzeugung der Prüfdaten, Anwendung mechanischer oder teilweise automatisierter Prüf-

plätze, manuelle Fehlerortung — wird durch Nutzung der rechnergestützten Unterlagenerstellung und Fehlerdiagnose eine Steigerung der Arbeitsproduktivität um 300% in der Fertigungsprüfung erreicht. Für die rechnergestützte Unterlagenerstellung müssen nur etwa ein Drittel der beim manuellen Verfahren anfallenden Kosten aufgewendet werden. Neben der erheblichen Kostensenkung ist der Leistungsumfang bei der Erzeugung der Fehlerdiagnosedaten auf Softwarebasis hervorzuheben:

- alle zur Fehlerdiagnose notwendigen Sollsignalwerte (einschließlich der internen Potentiale) werden routinemäßig und fehlerfrei bereitgestellt

- die Testfolge wird einer Analyse bezüglich ihrer Vollständigkeit unterzogen.

Der Zeitaufwand für die eigentliche Fehlerdiagnose unter Regie des Kleinrechnersystems konnte um etwa 30 Minuten je Karteneinschub gesenkt werden.

Zusammenfassend kann festgestellt werden, daß mit Einführung des Verfahrens der rechnergestützten Fehlerdiagnose die Fertigungsprüfung eine höhere Qualitätsstufe erreicht hat, die sich neben Kosten- und Arbeitszeiteinsparung in einer höheren Diagnosesicherheit, d.h. in einer wesentlich verbesserten qualitätsgerechten Fertigung, äußert. Der hohe Automatisierungsgrad des Verfahrens erlaubt die Freisetzung hochqualifizierten Personals für schöpferische Aufgaben.

5.1. Erfahrungen mit der Datenbereitstellung auf dem Großrechner

Die bisherigen Anwendungen betreffen Schaltungen der Übertragungstechnik mit etwa 30 integrierten TTL-Schaltkreisen (SSI- und MSI-Niveau) je Karteneinschub. Erfahrungen aus dem industriellen Einsatz liegen für die Fehlerdiagnosedatenerzeugung mit dem Programm SIMPER für 12 Schaltungen unterschiedlicher Komplexität vor.

Der Schaltungssimulation zum Zwecke der Erzeugung von Fehlerdiagnosedaten geht üblicherweise eine Simulation im Entwurfsstadium (Entwurfssimulation) mit demselben Programm voraus, deren Eingabedaten sich nur unerheblich unterscheiden (Registrierdaten, gegebenenfalls Simulationssteuerdaten, Eingangs- bzw. Testfolgen). So kann bei der Fehlerdiagnosedatenberechnung weitgehend auf die vom Schaltungsentwerfer bereits erfaßten Daten (insbesondere die Schaltungsdaten) zurückgegriffen werden (Einsparung von Erfassungsaufwand).

Die Erfassungsvorschriften für alle Daten sind in der ausführlichen Nutzerdokumentation [7] enthalten.

Die Testfolge wurde aus den Eingangsfolgen abgeleitet, die auch im Betriebsfall von der Schaltung zu verarbeiten sind (funktionell orientierte Schaltungsprüfung auf der Basis der Pflichterfordernisse für das Eingangs-Ausgangs-Verhalten), und wurde gegebenenfalls aus der Schaltungsstruktur ergänzt. An Hand der mit SIMPER aus dieser Testfolge berechneten Testschrittabelle sind die stationären Übertragungseigenschaften der Schaltung in dem für die Diagnose notwendigen Umfang im Detail nachprüfbar.

In der Prüfphase kann eine nochmalige Entwurfssimulation unter bestimmten Bedingungen notwendig werden. Das ist z. B. der Fall, wenn eine von den Betriebsbedingungen abweichende Testfolge verwendet wird, die unerwünschte dynamische Effekte hervorruft. Sie ist auch notwendig, wenn bei der Separierung des digitalen Schaltungsteils aus einer gemischt analog-digitalen Schaltung die zeitliche Lage seiner Eingangsschnittstellensignale nur ungenau bekannt ist und erst zuverlässig festgelegt werden muß.

Komplexere Schaltkreise (MSI, LSI), für die noch keine Verhaltensprozedur im Programm existiert, können mit der Unterwerktechnik durch weniger komplexe Schaltkreise modelliert und so in die Fehlerdiagnose einbezogen werden.

Zur Erzeugung der Fehlerdiagnosedaten sind durchschnittlich jeweils ein bis zwei Programmläufe (Stapelbetrieb) zur Korrektur der formalen Erfassungsfehler bei den Eingabedaten (Fehlerhinweise durch Programme) und zur eigentlichen Simulation erforderlich. Zur Erfassung und zur Korrektur der Daten (einschließlich Schaltungsdaten) werden im Durchschnitt etwa ein bis zwei Tage benötigt. Die Rechenzeit für einen Programmlauf

beträgt meist wesentlich weniger als eine Minute CPU-Zeit (ES 1040), die benötigte Hauptspeicherkapazität liegt zwischen 80 und 90 KByte. Die Umlaufzeit für die Datenbereitstellung (Beginn der Datenerfassung bis zum Vorliegen der Übergabedaten für das KRS des Prüfsystems) hängt hauptsächlich von der vorhandenen betrieblichen Rechensituation ab. Sie wirkt sich auch in weniger günstigen Fällen nicht verzögernd auf den Gesamt Ablauf aus, wenn die Testfolge früh genug bereitgestellt wird. Beschränkungen hinsichtlich der verarbeitbaren Schaltungsgrößen bei den in absehbarer Zeit zu erwartenden Karteneinschubgrößen sind vom Großrechner her nicht zu erwarten. Vom Programm FELSIM wurde für einige Schaltungen der Übertragungstechnik die Fehlerinformation ermittelt und am Prüfplatz mit Erfolg eingesetzt.

Die großrechnerseitigen Informationen über den Lokalisierungsgrad bei den bisher berechneten Prüfobjekten besagen, daß dieser in der Regel sehr nahe am theoretischen Maximum liegt. Unstimmigkeiten werden nur bei Fehlern erwartet, die nicht vollständig mit dem Stuck-at-0/1-Modell beschreibbar sind.

Darüber hinaus hat sich FELSIM bereits bei einer ganzen Reihe von Prüfobjekten der Nachrichtentechnik und der industriellen Steuerungstechnik als rationelles Hilfsmittel bei der manuellen Testfolgenerstellung bewährt. Dabei wurde zunächst eine handermittelte Testfolge durch FELSIM analysiert. Zur Abdeckung der als noch nicht erkannt ausgewiesenen Fehler konnten dann weitere Testbedingungen auf der Basis der Schaltungsstruktur durch den Anwender erzeugt werden. Die neue Testfolge wurde daraufhin erneut analysiert.

Für Schaltungen mit 25 bis 40 integrierten Schaltkreisen und etwa 400 Fehlerklassen sind 130 bis 150 KByte Hauptspeicherplatz und 0,3 bis 1 s CPU-Zeit je Testschritt anzusetzen.

Die Bearbeitungszeit je Karteneinschub bei vorliegenden Schaltungsdaten, die den Aufwand für Schaltungsexpansion, Fehlerdatengenerierung und formale Auswertung mit einschließt, kann mit 12 h begrenzt werden. Insgesamt sind 3 bis 5 Programmäufe erforderlich, so daß unter den zugrunde liegenden Bedingungen die Umlaufzeit 3 Wochen nicht überschreitet. Durch die vorgesehene Umstellung von FELSIM auf das Verhaltensprozedurkonzept sowie auf die Unternetzwerktechnik wird die Bearbeitung weiter vereinfacht.

Der durch Rechnerinsatz erzielbare Rationalisierungseffekt ist sehr hoch. Allein bei der rechnergestützten im Vergleich zur manuellen Erstellung der detaillierten Testschrittabelle ist eine bedeutende Arbeitszeiteinsparung zu verzeichnen. (Vergleiche haben ergeben, daß der Arbeitszeitaufwand auf etwa 25 bis 30% sinkt, nicht gerechnet die Übertragung der Diagnosedaten auf den Zwischendatenträger.) Die Einsparung vervielfacht sich noch, wenn die Erkennung der Signale auf sämtlichen (auch den internen) Leitungen, wie sie zur Fehlerortung erforderlich sind, mit in die Betrachtungen einbezogen wird. Von ganz wesentlicher Bedeutung ist weiterhin, daß die Fehlerfreiheit der mit Rechner erzeugten Fehlerdiagnosedaten für die entworfene Schaltungsstruktur im Gegensatz zu den manuell erzeugten Daten garantiert ist (Erhöhung der Diagnosezuverlässigkeit).

5.2. Erfahrungen mit dem Prüfsystem im Fertigungseinsatz

Seit der Überleitung des Verfahrens in die Fertigung fließen im Rahmen der engen Zusammenarbeit zwischen Entwicklerkollektiv und Fertigungsbetrieben Informationen über Effektivität und Grenzen der Anwendbarkeit des Verfahrens zur Entwicklungsstelle zurück. Gemeinsam mit den Fertigungsbetrieben werden Korrekturen vorgenommen, wird das Verfahren neuen Bedingungen angepaßt. Die rechnergestützte Fehlerdiagnose nach dem Verfahren der Fehlerpfadverfolgung wurde bei zwölf Karteneinschubtypen erfolgreich angewendet. Die Zeit für die Fehlerdiagnose konnte gegenüber manuellen Verfahren auf 1/3 verringert werden. Probleme für die Fehlerdiagnose ergaben sich durch notwendige Initialisierungen, durch nicht auftrennbare Rückkopplung und durch konstruktive Einschränkungen. Falls sich beim Anlegen der ersten Testbelegung ein definierter Anfangszustand (Initialzustand) nicht einstellt, ist ein sinnvoller Diagnoselauf nicht möglich. Daher werden gegebenenfalls sogenannte Initialisierungszyklen eingeführt. Für die Fehlerortung an sequentiellen Funktionselementen (Flipflop, Zähler, Schiebekette) und Rückkopplungen (NAND-Flipflop, rückgekoppelte Schiebekette u.ä.) wurden spezielle Routinen geschaffen. Um

die Zeit für die Fehlerortung zu verringern, werden durch Abtastnadeln Meßpunkte auf der Leiterplatte kontaktiert und zusätzlich mit den Steckverbinderanschlüssen ausgewertet.

Beim Einsatz der Prüfeinrichtung wurden Erfahrungen mit der Diagnosehardware gewonnen. Die in modifizierter Form — entsprechend den betrieblichen Anforderungen — genutzte Prüfeinrichtung hat sich unter Prüffeldbedingungen in den Anwenderbetrieben des Kombinats bewährt.

Seit der Überleitung des Verfahrens sind die Anforderungen auch an die Gerätetechnik ständig gestiegen, insbesondere auf Grund der raschen Entwicklung auf dem Bauelementesektor (fortschreitende Integration und Miniaturisierung, neue Bauelementetypen). So sind kompliziertere Baugruppen zu prüfen, die eine wesentlich höhere Anzahl elektrischer Funktionen enthalten, die dichter bestückt sind und die als Mehrebenenplatten höchste Schwierigkeitsgrade der Leiterzugführung erreichen. Dementsprechend wird die Prüfeinrichtung dem gestiegenen Niveau der zu prüfenden Erzeugnisse ständig angepaßt.

Das eingesetzte Kleinrechnersystem KRS 4201 genügt den Ansprüchen des Verfahrens. Durch die vielfältigen Anschlußmöglichkeiten peripherer Geräte (u. a. Speichermedien) sind auch seitens des Kleinrechners Weiterentwicklungen möglich.

Abschließend sei auf die großen Möglichkeiten hingewiesen, die die Anwendung der Mikroelektronik in der Prüftechnik eröffnet. Diagnosesysteme mit Mikrorechnersteuerung zur Fehlererkennung sind vor allem hinsichtlich Preis, Mobilität und Zugriff sowie Zuverlässigkeit durch Dezentralisierung — jede Prüfeinrichtung kann mit autonomer Zentraleinheit ausgerüstet werden — äußerst vorteilhaft in den Prüffeldern der Fertigungsbetriebe einzusetzen. Durch die Einbeziehung höher organisierter Systeme ist auch die automatische Fehlerortung mit der Mikroelektronik realisierbar.

Eingegangen am 28. Februar 1980

NaA 8449

Literatur

- [1] —: Abschlußbericht zur Studie: Untersuchungen der Anwendungsmöglichkeiten von Rechnern zur Fehlerlokalisierung bei digitalen Schaltungen. INT, 30. 9. 1975.
- [2] —: A4-Bericht des Themas: Rechnergestützte Prüfung und Fehlerlokalisierung für digitale Baugruppen. INT, 22. 6. 1978.
- [3] Gessner, E., u. a.: Rechnersimulation digitaler Schaltungen reduziert Labormessungen. Sozialistische Rationalisierung in der Elektrotechnik/Elektronik 5 (1978) H. 8, S. 246 — 252.
- [4] Werrmann, G.: Simulation digitaler Schaltungen. INT Interne Information 11 (1976) H. 4, S. 3 — 21.
- [5] Zech, K.-A.; Klarkowski, W.: Synchron-getaktete Modelle für synchrone Schaltungskonfigurationen. messen-steuern-regeln 20 (1977) H. 9, S. 504 bis 507.
- [6] —: Digitale umschaltbare Sende- und Empfangsschaltung mit signalabhängigem Überlastschutz. DD WP H03K/199 356.
- [7] —: Nutzerdokumentation für das Programm SIMPER. INT, 30. 6. 1979.
- [8] Zech, K.-A.; Klarkowski, W.: Rechnerprogramme zur Unterstützung der Fehlerdiagnose digitaler Schaltungen. messen-steuern-regeln Teil I: 22 (1979) H. 12, S. 710 — 713; Teil II: 23 (1980) H. 4, S. 218 — 222.

Dipl.-Ing. Ludwig Hermann, wissenschaftlicher Mitarbeiter, Dipl.-Ing. Joachim Rauchfuß, wissenschaftlicher Mitarbeiter, Dipl.-Math. Hans-Henrich Schalldach, Problemanalytiker, Dipl.-Ing. Günther Werrmann, Problemanalytiker, Dr. rer. nat. Karl-Adolf Zech, Problemanalytiker, Institut für Nachrichtentechnik Berlin, 1180 Berlin, Edisonstr. 63

Nachrichtentechnik Elektronik

VEB VERLAG TECHNIK BERLIN · ISSN 0092-668X · 32703 · EVP 4,00 M

8

1980

