



# PATENTCHRIFT 150 801

Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes zum Patentgesetz

In der vom Anmelder eingereichten Fassung veröffentlicht

		Int. Cl. <sup>3</sup>			
(11)	150 801	(44)	16.09.81	3(51)	G 01 R 31/28 G 06 F 11/00
(21)	WP G 01 R / 220 565	(22)	18.04.80		

(71) siehe (72)

(72) Busch, Rainer, Dipl.-Ing.; Hermann, Ludwig, Dipl.-Ing.;  
Zech, Karl-Adolf, Dr.rer.nat., DD

(73) siehe (72)

(74) Jürgen Quaß, Institut für Nachrichtentechnik, Büro für  
Schutzrechte, 1160 Berlin, Edisonstraße 63

(54) Verfahren zur Fehlerdiagnose in elektronischen Schaltungen

(57) Vorgesehen zur rechnergestützten Prüfung von Schaltungen der Nachrichtentechnik und Rechentechnik. Ziel ist eine Senkung des Geräteaufwandes bei kurzer Diagnosedauer. Aufgabe ist eine schnelle Fehlerortung mit reduziertem Speicheraufwand und reduzierter Prüfpunktezahl sowohl manuell als auch mit Mikrorechner. Erfindungsgemäß werden durch Simulation auf einem Rechner als Unterlagen für das Prüfsystem eine Sollkennzeichenliste und ein Fehlerkatalog nebst Schlüsselverzeichnis erstellt. Von Prüfpunkten werden deren Ist-Kennzeichen - logisch verknüpfte Signalfolgen am Punkt bei Normalbetrieb - ermittelt und mit Sollkennzeichen verglichen. Bei Abweichung werden mit den Ist-Kennzeichen die zugeordneten Adressen im Schlüsselverzeichnis aufgesucht, mittels denen im Fehlerkatalog - mit den nach Prüfpunkten und Kennzeichen geordneten modellierten Fehlern - die zutreffenden Fehlermengen ermittelt werden. Die Fehlermengen werden durch mengentheoretische Durchschnittsbildung gesiebt und daraus der zutreffende Fehler durch Antasten von Leitungen und deren Ist-Kennzeichen ermittelt. Zur weiteren Reduktion werden Prüfpunkte gruppenweise zusammengefaßt, Paritygenerierung. Eine Kennzeichenreduktion erfolgt durch Restklassenbildung und Verwendung des Divisionsrestes als neues, reduziertes Kennzeichen.

220565 -1-

Berlin, den 18.4.198  
Qu/Ks 29170/344

Anmelder: Dipl.-Ing. Rainer Busch  
Dipl.-Ing. Ludwig Hermann  
Dr.rer.nat. Karl-Adolf Zech

Titel : Verfahren zur Fehlerdiagnose in elektronischen  
Schaltungen

#### Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Fehlerdiagnose in elektronischen Schaltungen der Nachrichtentechnik, der Rechentechnik sowie der Regelungs- und Steuerungstechnik. Auf Grund des zunehmenden Umfangs, Integrations- und Komplexitätsgrades der Geräte und Anlagen der vorstehend genannten Techniken sind Prüfprozesse nur noch mit Hilfe rechnergestützter Prüfsysteme rationell durchführbar. Dabei besteht allgemein das Problem, den gerätetechnischen und zeitlichen Aufwand zu reduzieren. Die Fehlerdiagnose besteht aus der Fehlererkennung und der Fehlerortung. Die Fehlererkennung erfolgt in der Regel über entsprechende software rechnergestützt. Die Fehlerortung wird - je nach Ausrüstungsgrad des

14 MA 1980 \* 85942

Prüffeldes - sowohl rechnergestützt als auch manuell durchgeführt. Von Vorteil sind demzufolge Verfahren, die beide Varianten zulassen.

#### Charakteristik der bekannten technischen Lösungen

Es ist ein automatisches Fehlerdiagnoseverfahren zum Durchprüfen von elektrischen Schaltungen bekannt

(DE-OS 2 707 600, G 01 R - 31/28), bei dem in Zusammenarbeit mit einem Rechner ein geführtes Durchprüfen von Schaltungspunkten und dergleichen auf Fehler hin nach einem Algorithmus bewirkt wird, der von einem externen Ausgangsanschluß her ein rückwärtstastendes Aufspüren ermöglicht. Das Verfahren hat folgende wesentliche Schritte:

- die zu testende Schaltung wird peripher an ein System angeschlossen, das die Schaltung für den Prüfvorgang einer normalen Betriebsweise unterwirft;
  - zum Durchprüfen werden Punkte der Schaltung kontaktiert;
  - Angabe mindestens eines wahrscheinlichen Fehlerpunktes derartiger Schaltungen unter Einbeziehung eines Fehlerverzeichnisses;
  - nach Ermittlung eines einen Fehler zeigenden externen Ausgangsanschlusses wird die normale Betriebsweise unterbrochen, und es erfolgt zwecks Beschleunigung der Fehlerdiagnose nacheinander die Auswahl und Untersuchung jeweils eines angegebenen wahrscheinlichen internen Fehlerpunktes anstelle des rückwärtstastenden geführten Aufspürens (übliche Fehlerpfadverfolgung), wobei die Information über die internen Punkte durch Echtzeitverarbeitung erfolgt;
- für den Fall, daß sich der mindestens eine angegebene wahrscheinliche Fehlerpunkt als nicht tatsächlich fehlerbehaftet herausstellt, erfolgt die Wiederaufnahme der üblichen Fehlerpfadverfolgung.

Gerätetechnisch sind Mittel vorgesehen, die die Informationen für die angegebenen Fehlerpunkte speichern und mittels denen die Anfangspunkte durch Echtzeit-Fehler-Simulation gewonnen werden.

Die Echtzeit-Fehler-Simulation während des Prüfvorganges erfordert als festen Bestandteil des Prüfsystems einen Rechner mit entsprechend großer Leistungsfähigkeit sowohl hinsichtlich Speicherkapazität als auch Verarbeitungsgeschwindigkeit. Insofern ist dieses Verfahren für einen manuellen Betrieb einer kleinen Prüfeinrichtung nicht geeignet. Auch die Leistungsfähigkeit derzeitiger verfügbarer Mikrorechner ist für dieses Prüfsystem nicht ausreichend.

Weiterhin ist ein Verfahren und eine Vorrichtung zum Testen digitaler Schaltungen bekannt (DE-OS 2 538 651, G 01 R - 31/28) bei dem aus den Bitfolgen jedes angetasteten Prüfpunktes und gegebenenfalls jeder Leitung der zu prüfenden Schaltung durch logische Verknüpfung ein für den Signalverlauf charakteristisches Kennzeichenwort gebildet wird. Das erfolgt mit Hilfe einer rückgekoppelten Schiebekette, deren Eingangsinformation aus den mit den rückgekoppelten Signalen der Schiebekette modulo 2 verknüpften oben genannten Bitfolgen besteht und deren Ausgangsinformation das charakteristische Kennzeichenwort ist. Dieses Ist-Kennzeichen wird zur Fehlererkennung mit einem Soll-Kennzeichen beziehungsweise Referenzkennzeichenwort verglichen, das in analoger Weise in einer Referenzschaltung erzeugt wird. Als Referenzschaltung würde sich eine fehlerfreie Prüfschaltung eignen. Dieses Verfahren erspart umfangreichen Rechneraufwand und ist demzufolge für eine manuelle Fehlerordnung geeignet. Die Diagnosedauer ist aber durch die allgemein große Zahl der erforderlichen, zeitlich nacheinander erfolgenden Antastungen relativ lang.

## Ziel der Erfindung

Es wird eine Senkung des Geräteaufwandes bei kurzer Diagnose-  
dauer angestrebt.

## Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur  
Fehlerdiagnose in elektronischen Schaltungen zu schaffen, mit  
dem eine schnelle Fehlerortung sowohl manuell als auch unter  
Einsatz eines Mikrorechners möglich ist. Insbesondere sollen  
der erforderliche Speicheraufwand und die Anzahl der in der  
Regel anzutastenden Prüfpunkte reduziert werden. Das Prinzip  
der Simulation der zu prüfenden Schaltung, im weiteren Prüf-  
ing genannt, auf einem Rechner sowie der Verwendung eines  
Fehlerverzeichnisses soll beibehalten werden.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß durch  
Simulation auf einem Rechner zunächst folgende Unterlagen des  
Prüflings für das Prüfsystem erzeugt werden:

Eine Liste der Kennzeichen aller Prüfpunkte und Leitungen  
des fehlerfreien Prüflings. Prüfpunkte sind ständig mit  
dem Prüfgerät verbundene ausgangsseitige Anschlüsse und  
ausgewählte innere Schaltungspunkte. Leitungen sind sämt-  
liche internen galvanischen Verbindungen.

Ein Fehlerkatalog mit einem dazugehörenden Schlüsselver-  
zeichnis.

Der Fehlerkatalog enthält alle modellierten Fehler, geord-  
net nach Prüfpunkten und im einzelnen diesen zugeordneten  
Kennzeichen.

Das Schlüsselverzeichnis enthält alle Adressen der im Feh-  
lerkatalog unter einem Prüfpunkt einem Kennzeichen angeord-  
neten Fehlermengen. Die Adressen sind im Schlüsselverzeich-  
nis nach Prüfpunkten geordnet und werden über das jeweilige  
Kennzeichen aufgesucht.

Die Kennzeichen werden in an sich bekannter Weise  
durch logische Verknüpfung der an einem

Prüfpunkt beziehungsweise in einer Leitung des Prüflings auftretenden Signalfolgen gebildet.

Danach wird der Prüfling an ein Prüfgerät angeschlossen, mittels dem die Prüfbedingungen schrittweise abgearbeitet und die Ist-Kennzeichen für die Prüfpunkte gebildet und gespeichert werden.

Prüfbedingungen ist gleichbedeutend Anlegen einer Bitmusterfolge beliebiger Frequenz oder im Echtzeitbetrieb, die entweder so geartet ist, daß die Schaltung (der Prüfling) zur Ausführung ihrer speziellen Funktion angeregt wird oder die gemäß der logischen Struktur der Schaltung so generiert wird, daß eine hinreichend vollständige Prüfung hinsichtlich einer maximalen Fehlererkennbarkeit ermöglicht wird.

Die Ist-Kennzeichen werden je nach Prüfpunkt mit den entsprechenden Soll-Kennzeichen, das sind die Kennzeichen des fehlerfreien Prüflings, verglichen. Bei Abweichung wird die zugeordnete Adresse im Schlüsselverzeichnis und über letztere die zugeordnete Fehlermenge im Fehlerkatalog aufgesucht. Aus den so ermittelten Fehlermengen aller Prüfpunkte werden durch mengentheoretische Durchschnittsbildung Fehlerkandidaten ausgelesen, von denen wiederum die zutreffenden Fehlerkandidaten in an sich bekannter Weise durch Antasten beziehungsweise Fehlerpfadverfolgung, aber auf der Basis des Vergleiches der Ist-Kennzeichen mit dem Soll-Kennzeichen der angetasteten Leitungen, ermittelt werden.

Für den Fall, daß zu einem Ist-Kennzeichen die korrespondierende Adresse fehlt, wird von dem betreffenden Prüfpunkt aus die Fehlerpfadverfolgung angesetzt und der gefundene Fehler in den Fehlerkatalog nachgetragen und das Schlüsselverzeichnis entsprechend aktualisiert. Dieser Fall tritt ein, wenn der betreffende Fehler gar nicht oder nicht genau genug modelliert wurde. Je mehr Prüflinge geprüft worden sind, desto seltener dürfte dann noch eine Adresse fehlen.

Ist die Antastung auf Grund der mengentheoretisch ermittelten Fehlerkandidaten erfolglos, so wird in herkömmlicher Weise die Fehlerpfadverfolgung von dem betreffenden Prüfpunkt aus ange-

setzt und der gefundene Fehler in den Fehlerkatalog nachgetragen und das Schlüsselverzeichnis aktualisiert, so daß beim nächstfolgenden Prüfling bei demselben Fehler die Fehlerpfadverfolgung entfällt.

Die Fehler einer Fehlermenge werden im Fehlerkatalog entsprechend der Häufigkeit ihres Auftretens geordnet. Damit werden mit steigender Anzahl der durchgeführten Fehlerdiagnosen die Prüfzeiten auf Grund der schnelleren Fehlerortung und -erkennung kürzer.

In weiterer Ausgestaltung des erfindungsgemäßen Verfahrens werden Prüfpunkte durch logische Verknüpfung gruppenweise zusammengefaßt und aus den resultierenden Signalen in bekannter Weise die Kennzeichen für jede Prüfpunktgruppe erzeugt. Damit wird eine weitere Reduzierung des Speicheraufwandes für den Fehlerkatalog und das Schlüsselverzeichnis erreicht.

Eine weitere Ausgestaltung des erfindungsgemäßen Verfahrens besteht darin, daß die Kennzeichen durch Restklassenbildung reduziert werden. Das heißt, die Zahl, für die das Kennzeichen die Binärdarstellung ist, wird durch eine ganze Zahl dividiert und der Rest als neues Kennzeichen verwendet, wobei der Rest kleiner als der Divisor ist. Dadurch wird der Umfang des Schlüsselverzeichnisses reduziert. Darüber hinaus kann der Umfang, entsprechend der Wahl des Divisors, in gewünschtem Maße festgelegt werden.

In vorteilhafter Weise wird bei dem erfindungsgemäßen Verfahren auf Grund der festgelegten Kennzeichenbildung mit konstanter Kennzeichenlänge der Aufwand zum Ermitteln der Fehlerkandidaten unabhängig vom Umfang der Prüfbedingungen, genauer, von der Länge der eingegebenen Bitfolgen.

Durch die zur Verfügung gestellten genannten Unterlagen wird die Leistungsfähigkeit des Prüfsystems bezüglich der durchzuführenden Fehlerdiagnose um die des Simulationsrechners gesteigert. Der Umfang der Informationen in den Unterlagen ist so begrenzt, daß die Speicherfähigkeit der üblichen Mikrorechner dafür ausreicht. Bei manueller Fehlerdiagnose können

die Unterlagen in Form übersichtlicher Nachschlagehandbücher zur Verfügung gestellt werden.

### Ausführungsbeispiel

Die Erfindung soll nachstehend am Ausführungsbeispiel näher erläutert werden. In der dazugehörigen Zeichnung zeigt

Fig. 1: ein vereinfachtes Blockschaltbild des Prüfsystems,

Fig. 2: ein ausführliches Blockschaltbild des Prüfsystems,

Fig. 3: ein Blockschaltbild eines Prüfsystems mit Gruppierung von Prüfpunkten,

Fig. 4: ein Schema zum Aufsuchen der Fehlermenge für ein Ist-Kennzeichen.

Gemäß Fig. 1 besteht ein Prüfsystem aus einem Prüfling 1 und einem Prüfgerät 2. Das Prüfgerät 2 versetzt den Prüfling 1 in den Betriebszustand, gibt entsprechend den Prüfbedingungen Eingangssignale an den Prüfling 1, mißt die Reaktionen an den Prüfpunkten und wertet dieselben aus unter Einbeziehung der systemgemäß aufbereiteten Unterlagen, wie Liste der Soll-Kennzeichen, Fehlerkatalog und Schlüsselverzeichnis. Bei manueller Diagnose wird ein Teil der Auswertung von der Bedienperson übernommen.

Gemäß Fig. 2 besteht ein Prüfgerät 2 aus einer Steuereinheit 3, einem Signalgenerator 4, einem Kennzeichenregister 5, einem Kennzeichenvergleicher 6, einer Antastsonde 7 und einer Ergebnisanzeige 8. Die Steuereinheit 3 koordiniert den Prüf- und Auswerteprozess und ist verbunden einmal direkt mit dem Signalgenerator 4, dem Kennzeichenvergleicher 6 sowie der Ergebnisanzeige 8 und zum anderen mittelbar über den Signalgenerator 4 mit dem Kennzeichenregister 7 und dem Prüfling 1. Die Steuereinheit 3 kann je Ausstattungsgrad des Prüffeldes ein spezifisches Gerät oder ein Mikrorechner sein.

Ist die Steuereinheit 3 als spezifisches Gerät ausgeführt, so regt sie den Signalgenerator 4 zur Aussendung einer defi-

nierten Eingangssignalfolge für den Prüfling 1 an. In dem Kennzeichenregister 5 werden die Ist-Kennzeichen der Prüfpunkte des Prüflings 1 auf Grund der von diesem empfangenen Signale gebildet. Im Kennzeichenvergleich 6 erfolgt der Vergleich der Ist-Kennzeichen mit den Soll-Kennzeichen. Das Vergleichsergebnis erscheint in der Ergebnisanzeige 8. Unabhängig davon kann das ermittelte Ist-Kennzeichen direkt an der Ergebnisanzeige 8 ausgewiesen werden, wenn ein visueller Vergleich mit Soll-Kennzeichen vorgenommen werden soll, zum Beispiel bei manueller Fehlerortung. Bei fehlender Übereinstimmung zwischen Ist-Kennzeichen und Soll-Kennzeichen wird die eigentliche Fehlerortung eingeleitet. Mit Hilfe der Ist-Kennzeichen werden über das Schlüsselverzeichnis aus dem Fehlerkatalog die Fehlerkandidaten wie bereits beschrieben ausgelesen. Durch Antasten mit der Antastsonde 7 und anschließenden Kennzeichenvergleich im Kennzeichenvergleich 6 wird der zutreffende Fehler aus der Fehlerkandidatenmenge bestimmt.

Wird die Steuereinheit 3 durch einen Mikrorechner verwirklicht, so übernimmt derselbe zusätzlich die Funktion des Kennzeichenvergleichers 6 und des Kennzeichenregisters 5; letztere nur, sofern Echtzeitbetrieb nicht erforderlich ist. Die Ansteuerung des Signalgenerators ist analog wie bei der Ausführung als spezifisches Gerät. Die Ermittlung der Fehlerkandidaten erfolgt durch den Mikrorechner anhand des in ihm gespeicherten Schlüsselverzeichnisses und Fehlerkataloges. Die anschließende Fehlerortung durch Antastung wird rechnergestützt vorgenommen, indem der Mikrorechner über die Ergebnisanzeige 8 die als nächste durch die Antastsonde 7 anzutastende Leitung vorschreibt und nach Aufsetzen der Antastsonde 7 die Kennzeichenbildung und den Vergleich durchführt.

In Fig. 3 ist ein Prüfsystem mit Gruppierung von Prüfpunkten dargestellt. Zwischen das Prüfgerät 2 und den Prüfling 1 sind Parity-Generatoren 9 geschaltet. Durch einen Parity-Generator werden möglichst solche Prüfpunkte zu einer Gruppe zusammengefaßt, die funktionell voneinander unabhängig sind. Damit das Auflösungsvermögen für die Fehlerortung nicht verschlechtert

wird, muß die Zahl der Gruppen genügend groß gewählt werden. Durch diese gruppenweise logische Verknüpfung wird der erforderliche Speicheraufwand für das Schlüsselverzeichnis und den Fehlerkatalog merklich reduziert.

Entsprechend Fig. 4 werden die Ist-Kennzeichen IKZ zunächst einer Reduktion R durch Restklassenbildung unterzogen und liegen dann als reduzierte Ist-Kennzeichen RIKZ vor. Mittels des reduzierten Ist-Kennzeichen RIKZ wird im Schlüsselverzeichnis SV die zugeordnete Adresse A ermittelt, die wiederum dazu dient, im Fehlerkatalog FK die ihr zugeordnete Fehlermenge FM aufzusuchen und diese für die Fehlerkandidatenauslese bereitzustellen.

## Erfindungsanspruch

1. Verfahren zur Fehlerdiagnose in elektronischen Schaltungen der Nachrichtentechnik, der Rechentechnik sowie der Regelu- und Steuerungstechnik, dadurch gekennzeichnet, daß durch Simulation auf einem Rechner zunächst die Unterlagen des Prüflings (1) für das Prüfsystem erzeugt werden; das sind im einzelnen

- eine Liste der Kennzeichen aller Prüfpunkte und Leitungen des fehlerfreien Prüflings (1);
- ein Fehlerkatalog mit einem dazugehörenden Schlüsselverzeichnis, wobei der Fehlerkatalog alle modellierten Fehler enthält, geordnet nach Prüfpunkten und im einzelnen diesen zugeordneten Kennzeichen und wobei das Schlüsselverzeichnis alle Adressen der im Fehlerkatalog unter einem Prüfpunkt einem Kennzeichen zugeordneten Fehlermengen enthält, und die Adressen nach Prüfpunkten geordnet sind, und das Aufsuchen der Adressen im Schlüsselverzeichnis über das jeweilige Kennzeichen erfolgt; und wobei die Kennzeichen durch logische Verknüpfung in bekannter Weise erzeugt werden;

daß der Prüfling (1) an ein Prüfgerät (2) angeschlossen wird, mittels dem die Prüfbedingungen schrittweise abgearbeitet und die Ist-Kennzeichen für die Prüfpunkte gebildet und gespeichert werden;

daß je Prüfpunkt die Ist-Kennzeichen mit den entsprechenden Soll-Kennzeichen, das sind die Kennzeichen des fehlerfreien Prüflings, verglichen werden und bei Abweichung die zugeordnete Adresse im Schlüsselverzeichnis und über letztere die zugeordnete Fehlermenge im Fehlerkatalog aufgesucht wird und aus den so ermittelten Fehlermengen aller Prüfpunkte durch mengentheoretische Durchschnittsbildung Fehlerkandidaten ausgelesen werden, von denen wiederum die zutreffenden Fehlerkandidaten in an sich bekannter Weise durch Antasten beziehungsweise Fehlerpfadverfolgung, aber auf der Basis des Vergleiches der Ist-Kennzeichen mit den Soll-Kennzeichen der angetasteten Leitungen, ermittelt werden;

daß bei Fehlen einer korrespondierenden Adresse im Schlüsselverzeichnis zu einem Ist-Kennzeichen - das heißt, der betreffende Fehler wurde nicht oder nicht genau genug modelliert die Fehlerpfadverfolgung von dem betreffenden Prüfpunkt aus angesetzt wird und der gefundene Fehler in den Fehlerkatalog nachgetragen und das Schlüsselverzeichnis entsprechend aktualisiert wird;

daß bei erfolgloser Antastung auf Grund der mengentheoretisch ermittelten Fehlerkandidaten die Fehlerpfadverfolgung von dem betreffenden Prüfpunkt aus angesetzt wird und der gefundene Fehler in den Fehlerkatalog nachgetragen und das Schlüsselverzeichnis entsprechend aktualisiert wird;

daß eine aktuelle Ordnung der Fehler einer Fehlermenge im Fehlerkatalog entsprechend der Häufigkeit ihres Auftretens vorgenommen wird.

2. Verfahren nach Punkt 1, dadurch gekennzeichnet, daß Prüfpunkte gruppenweise durch logische Verknüpfung, beispielsweise Parity-Generierung, zusammengefaßt und aus den resultierenden Signalen in bekannter Weise die Kennzeichen für jede Prüfpunktgruppe erzeugt werden.
3. Verfahren nach Punkt 1 und/oder 2, dadurch gekennzeichnet, daß die Kennzeichen durch Restklassenbildung reduziert werden, daß heißt, die Zahl, für die das Kennzeichen die Binärdarstellung ist, wird durch eine ganze Zahl dividiert und der Rest als neues Kennzeichen verwendet, wobei der Rest kleiner als der Divisor ist.

Hierzu 2 Seiten Zeichnungen

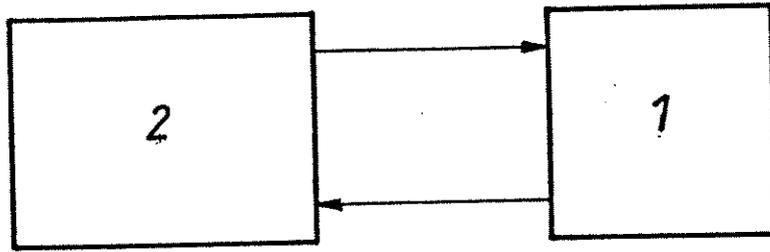


Fig. 1

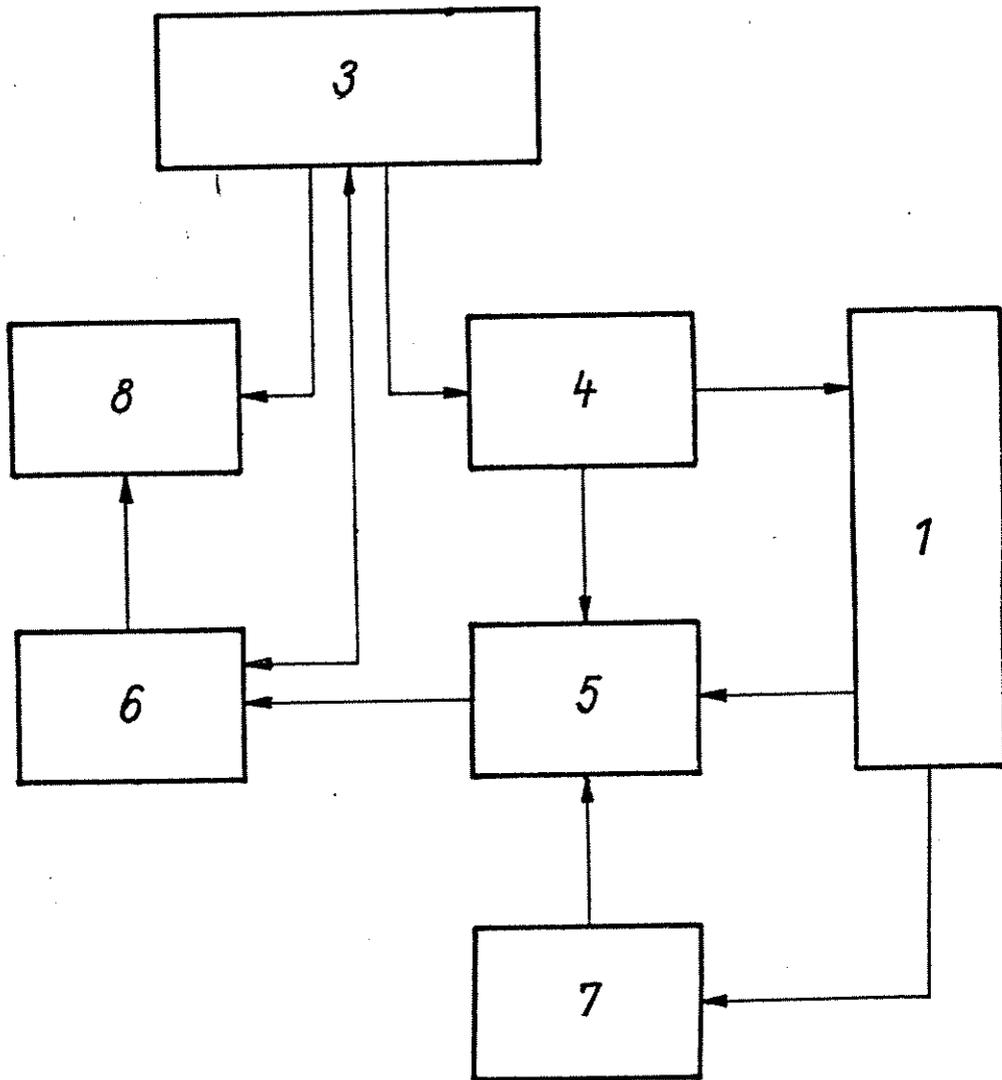


Fig. 2

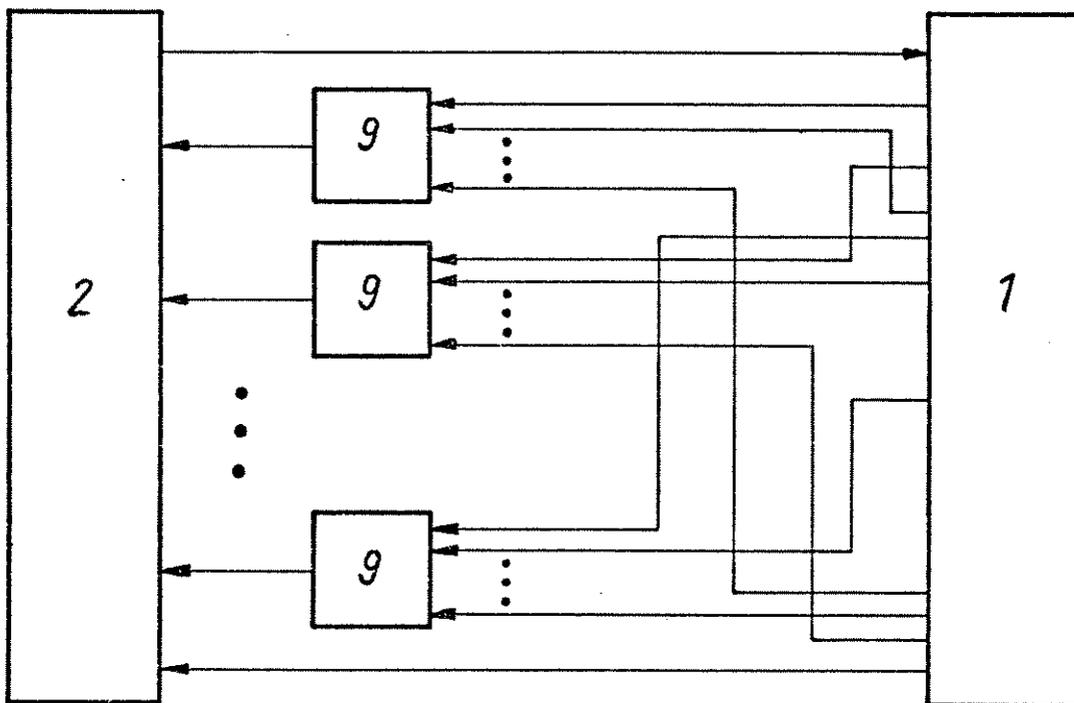


Fig. 3

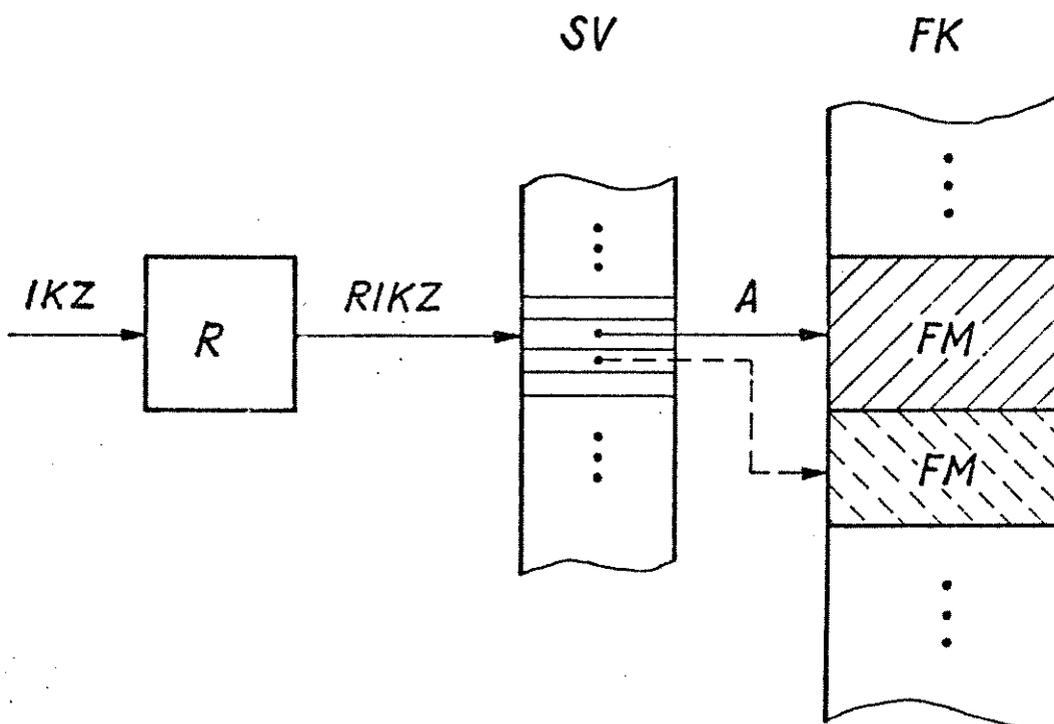
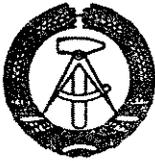


Fig. 4



AMT FÜR ERFINDUNGS- UND PATENTWESEN  
DER DEUTSCHEN DEMOKRATISCHEN REPUBLIK

Betriebsnummer 9018510 2

Herrn Jürgen Quas  
Institut für Nachrichtentechnik  
Büro für Schutzrechte  
1160 Berlin  
Edisonstr. 63

Ihr Antrag vom

Ihre Zeichen

Unsere Zeichen

Hausruf

1080 Berlin

Mohrenstraße 37 b

Qu:Ba 29170/  
344

Pw/Lp.

4805

16.9.81

## Beschluß

Für die unter dem Aktenzeichen **WP G 01 R/220 565**  
registrierte Erfindung wird hiermit ein Patent gemäß § 5 Absatz 1 des Änderungs-  
gesetzes zum Patentgesetz vom 31. Juli 1963 (GBl. I S. 121) erteilt.

**Nummer der Patentschrift:** 150 801

**Die Fassung der als Anlage beigefügten Patentschrift ist Bestandteil dieses Beschlusses.**



Anlage: Patentschrift

Prüfungs- und Recherchestelle

gez. Dipl.-Ing. Heurich

---

Ausfertigungen: 4      3 × Inhaber      1      × Vertreter (Zustellungsbevollmächtigter)

---

Herrn  
Dr. Karl-Adolf Zech  
Schliemannstraße 28  
  
10437 Berlin

Name Frau Kammler  
Abteilung ZFE GR ZD VE  
Telefon (0 91 31) 7-3 32 20  
Telefax (0 91 31) 7-3 14 06

Ihr Zeichen vt1 t32-Dr.Zh  
Ihr Schreiben 14.07.1995  
Unser Zeichen GR 95 A 3067 / Ker  
Datum 10.10.1995

## Ihr Erfindungsangebot

DD-PS 150 801

**"Verfahren zur Fehlerdiagnose in elektronischen Schaltungen"**

Sehr geehrter Herr Dr. Zech,

nach Prüfung Ihres Erfindungsangebotes müssen wir Ihnen leider mitteilen, daß wir am Erwerb von Rechten an dem obengenannten Schutzrecht nicht interessiert sind.

Die uns übersandten Unterlagen geben wir anbei zurück und danken Ihnen für Ihr Angebot.

Mit freundlichen Grüßen



Christ

Anlagen  
Unterlagen

## Zentralabteilung Forschung und Entwicklung

Gewerblicher Rechtsschutz und Normung

Leitung:  
Dr. Horst Fischer

Briefadresse:  
Siemens AG  
ZFE GR ZD VE  
Postfach 32 20  
91050 Erlangen

Hausadresse:  
Paul-Gossen-Straße 100  
91052 Erlangen  
Telefon (09131) 7-0