

**Kurzfassungen der Vorträge
zur 9. Arbeitstagung**

Entwurf von Schaltsystemen

4. - 6. 3. 1980
in Dresden

Berlin

März 1980

Zach, K.-A. (INT Berlin)
Erfahrungen mit stochastischer Testgenerierung
für digitale Schaltungen

Angeregt durch eine Arbeit von Parker /1/ wurden im INT mit Hilfe des Programms FELSIM /2/ zur parallelen Fehler-simulation Experimente zur stochastischen Testgenerierung durchgeführt. Die Ergebnisse ermutigten zum weiteren Ausbau des Programms (DICER). Im vorliegenden Beitrag werden die Verfahrensprinzipien kurz erläutert und einige Beispiele vorgestellt.

Eine digitale Schaltung wird modelliert als Verknüpfung eines Speicherteils mit einem kombinatorischen Block, der aus einem rückführungsfreien Netz aus den Grundgattern besteht. Der Speicherteil umfaßt die als ideale Schalter arbeitenden Rückführungselemente bzw. Entsprechungen getakteter D-Flip-Flops. Schaltungen ohne Speicherelemente heißen kombinatorisch, solche mit nur getakteten Speichern synchron-getaktet, asynchron die übrigen. Bei synchron-getakteten Schaltungen (sie umfassen die kombinatorischen) werden wiederholt Tests erzeugt, die keine Speicherzustandsänderungen hervorrufen, nach einer gewissen Ausschöpfung gefolgt von der Suche nach einer zustandsändernden Folge. Da Eingangsänderungen bei asynchronen Schaltungen generell als zustandsändernd betrachtet werden, fällt dort der erste Zyklus weg. Die Mengen der Test- bzw. Testfolgenvorschläge werden erzeugt mit Hilfe eines Zufallszahlengenerators und gemäß bestimmter Wahrscheinlichkeiten, die an alle Eingänge einzeln vergeben werden. Diese Wahrscheinlichkeiten steuern die relative Häufigkeit für das Auftreten einer 1 an den jeweiligen Eingängen und können günstig vorgegeben werden /4/. Ihre Werte sind anpaßbar an die Ergebnisse der bisherigen Testauswahl (Lernfähigkeit) bzw. änderbar bei Unterschreitung einer gewissen Erfolgsquote. Wahlweise können aus Tests, die nach der letzten Zustandsänderung abgelegt wurden,

durch geringe, zufällige Änderungen neue Testvorschläge erzeugt werden (Wandern /1/). Durch eine Routine zur statischen parallelen Fehlersimulation werden die Testvorschläge bewertet hinsichtlich ihrer Fähigkeit, bisher nicht erkannte Fehler abzudecken. Die Auswahl und das Zwischenspeichern geschieht anschließend aufgrund dieser Bewertungen.

Aus den gewonnenen Erfahrungen wurden Aufgaben zur Weiterentwicklung des Programms DICER abgeleitet, insbesondere zur differenzierteren Berücksichtigung der Schaltbedingungen bei asynchronen Schaltungen.

Folgende Tabelle enthält Angaben zu einigen bearbeiteten Schaltungen (ES1040).

	Funkt. elem.	Speich. bit	Anz. Eing.	Fehlerklassen	Ver-suche	Tests	erk. Fehl.	CPU-Zeit
1	53	0	60	192	1250	56	66%	180 s
2	27	0	69	229	4022	86	82,5%	810 s
3	36	24	7	234	192	42	94 %	120 s
4	37	7	30	179	136	43	80 %	109 s
5	79	5	31	237	1450	87	86 %	858 s

Die Beispiele entstammen der Vermittlungstechnik (1,2,4), der industriellen Steuerungstechnik (5) bzw. MSI-Schaltkreisen (3: General Purpose 4-Bit Register).

- /1/ Parker, K.: Probabilistic test generation. Technical Note No.18, Jan. 1973. Digital Systems Lab., Stanford University, Stanford, California, USA
- /2/ Zech, K.-A., Klarkowski, W.: Rechnerprogramme zur Unterstützung der Fehlerdiagnose digitaler Schaltungen. msg 22(1979)12 und 23(1980)4
- /3/ Hermann, L., u.a.: Rechnergestützte Verfahren zur Fehlerdiagnose digitaler Schaltungen. Im Druck
- /4/ Agrawal, P, Agrawal, V.D.: On monte carlo testing of logic tree networks. IEEE TC-25(1976)6,664-667

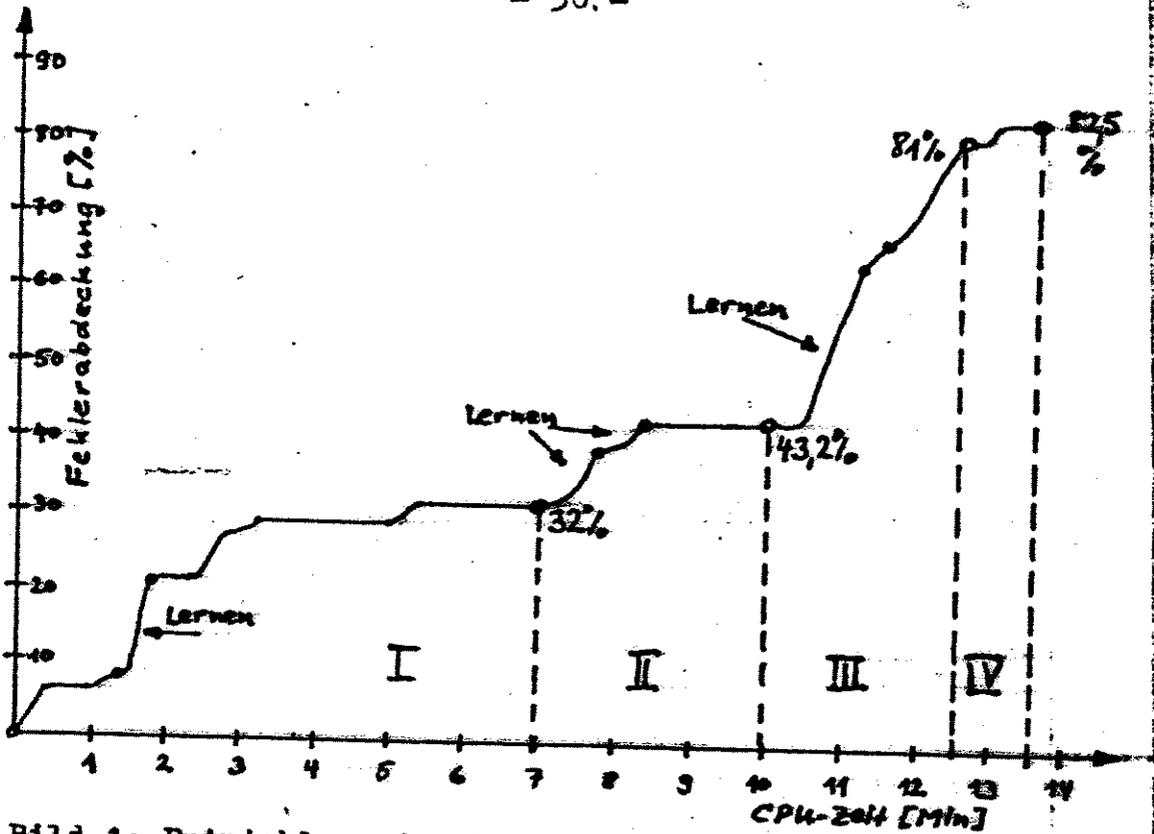


Bild 1: Entwicklung der Fehlerabdeckung bei Schaltung 2. (vier Läufe mit jeweils geänderten Parametern)

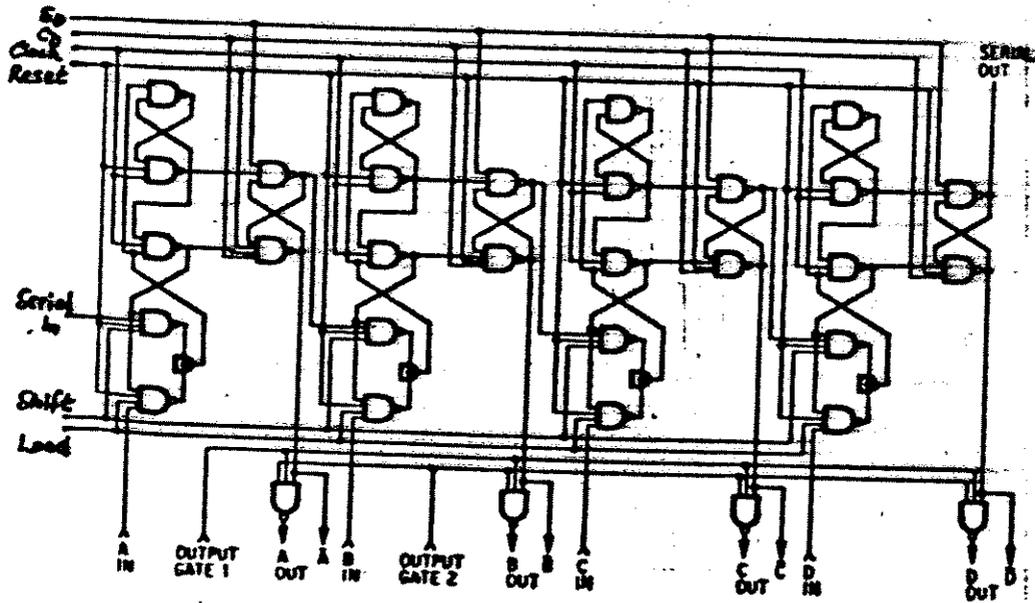


Bild 2: Schaltungsbeispiel 3: General Purpose 4-Bit-Register

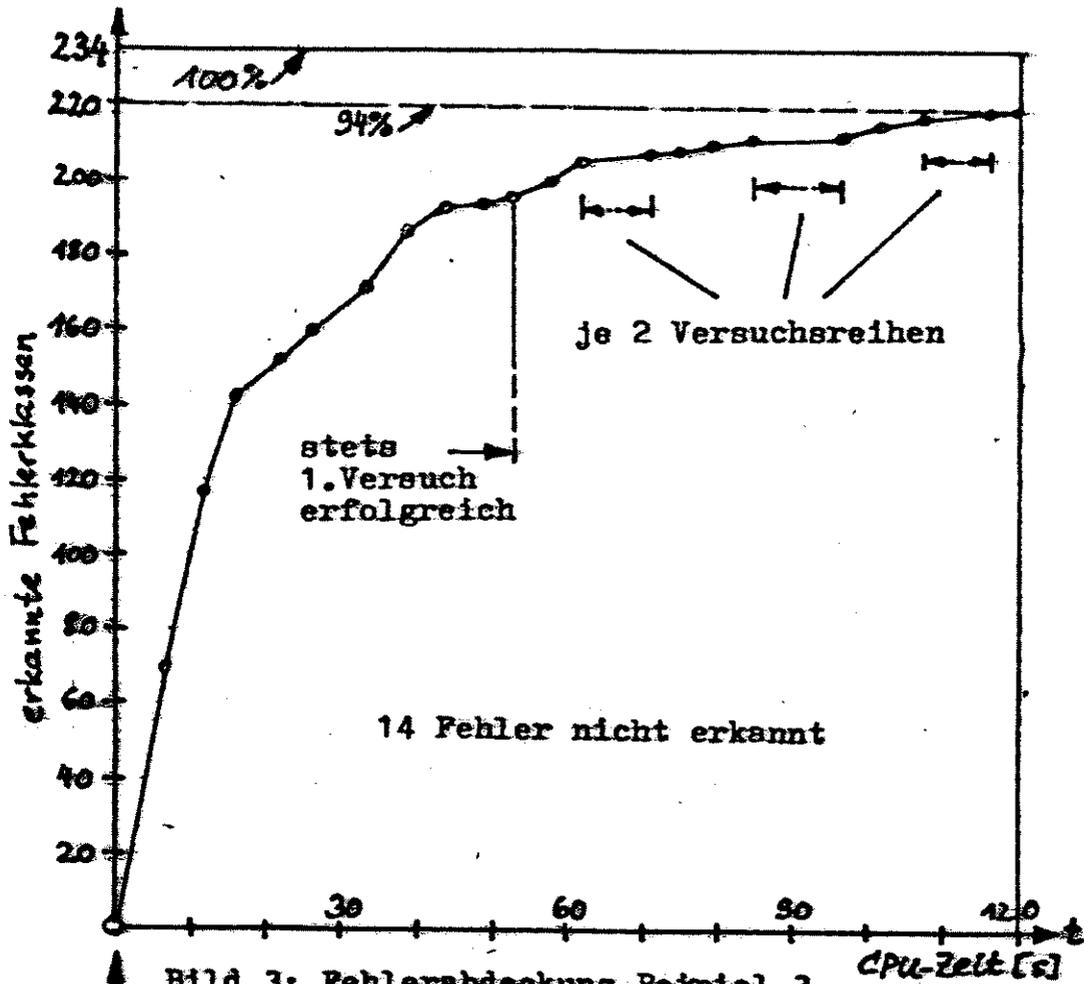


Bild 3: Fehlerabdeckung Beispiel 3

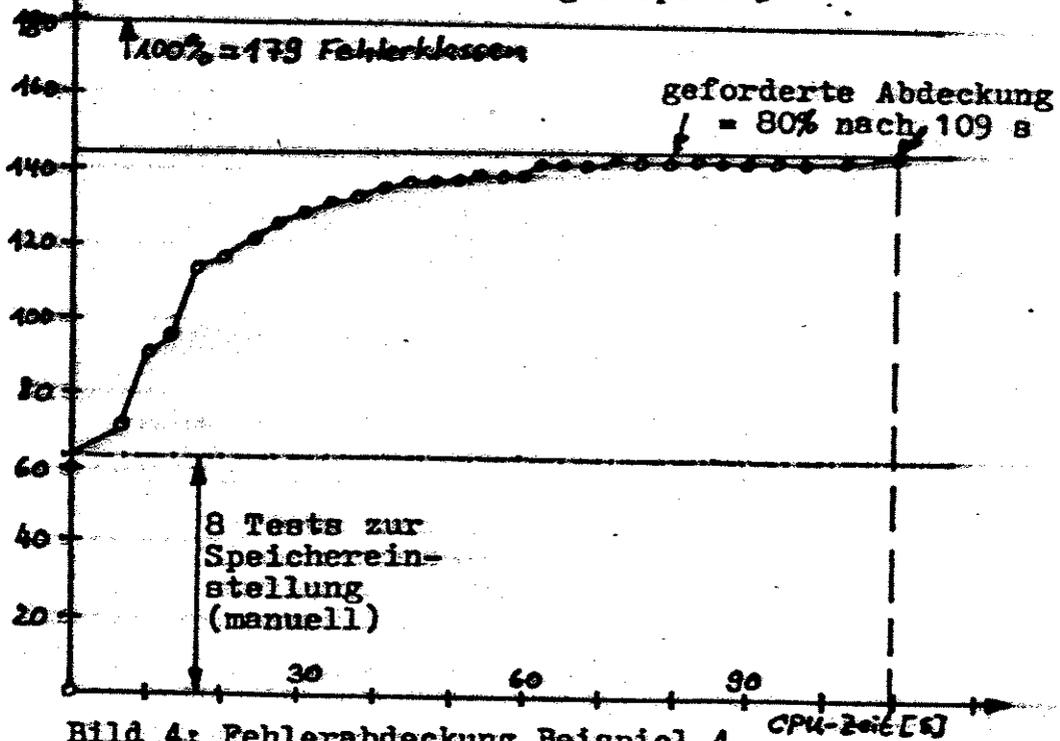


Bild 4: Fehlerabdeckung Beispiel 4