

Synchron-getaktete Modelle für asynchrone Schaltungskonfigurationen

In der Schaltungspraxis kommt es bei synchron-getakteten Schaltungen relativ häufig vor, daß die Takteingänge sowie die Preset- und Clear-Eingänge von Flip-Flops (etwa der integrierten Schaltkreise D174, D172) logisch beschaltet sind. Darüberhinaus ist es üblich, auch in getakteten Systemen Halteglieder (NAND-Flip-Flops) zu verwenden (Bilder 1 und 2). Diese Fälle sind nicht mehr unmittelbar durch ein zweiwertiges statisches Modell erfassbar, das folgenden idealisierten Bedingungen genügt:

- Die kombinatorischen Funktionselemente (AND, OR, NAND, NOR usw.) schalten ohne Zeitverzögerung.
- Die Speicher sind ideale Zeitglieder (Bild 3), die die eingangsseitige Information nur zu bestimmten Zeitpunkten (Takt) zum Ausgang durchschalten.

¹⁾ Mitteilung aus dem Organisations- und Rechenzentrum des Instituts für Nachrichtentechnik sowie der Humboldt-Universität zu Berlin.

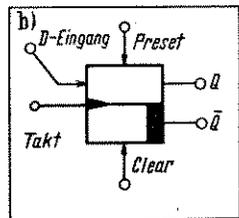
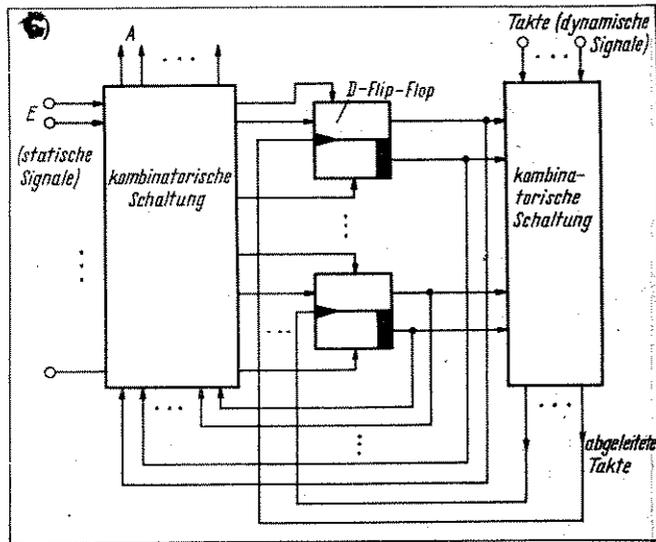
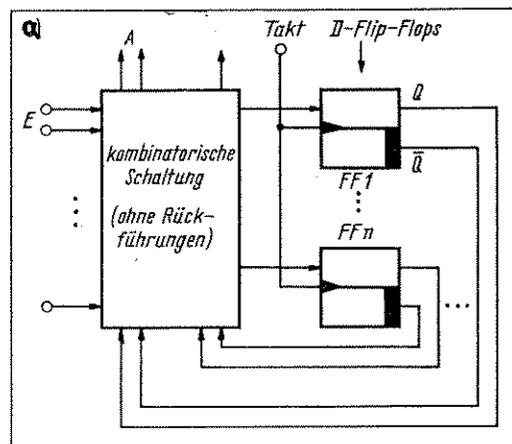


Bild 1. Betrachtete Schaltungstypen
 a) reine synchron-getaktete Schaltung
 b) D-Flip-Flop
 c) getaktete Schaltung mit asynchronen Schaltungskonfigurationen



Dieses Modell liegt verschiedenen Simulations- und Fehlerprüfprogrammen für synchron-getaktete Schaltungen [1] und [5] zugrunde. Die Erzeugung der Fehlerortungsunterlagen ist für diese Schaltungen relativ unkompliziert. Es ist daher sinnvoll, möglichst viele der nicht dem synchronen Taktschema genügenden Schaltungen im Bedarfsfall so umzuformen, daß die Programme auf sie anwendbar sind.

Die Konstruktion der Ersatzschaltungen basiert auf dem Grundgedanken, das Taktsignal als weiteren Informationseingang des entsprechenden Flip-Flops zu betrachten. Dadurch ist es möglich, dieses Signal den Preset- oder Clear-Signalen unterzuordnen und den physikalischen Takt als beliebige Signalfolge von 0 (low) und 1 (high) zuzulassen.

Wir betrachten zunächst ein D-Flip-Flop, dessen Preset-Clear-Eingänge nicht beschaltet sind (etwa den integrierten Schaltkreis D174 von HWF bzw. SN 7474 von TI). Es soll möglich sein, die Takteingangsbelegung zu beliebigen Zeitpunkten zu ändern und in Abhängigkeit von der Art dieser Änderung die

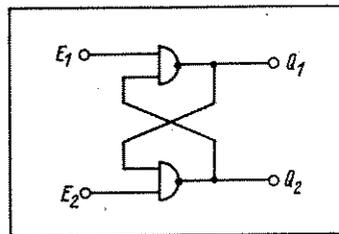


Bild 2. NAND-Flip-Flop

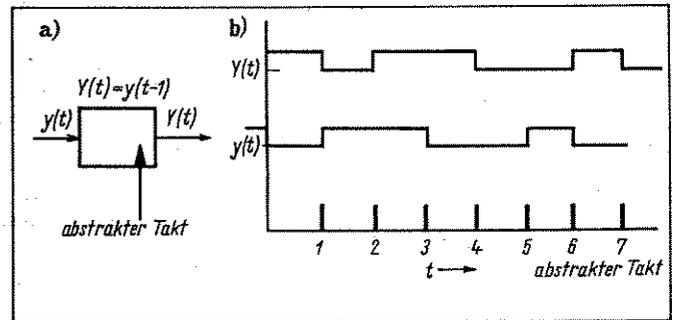


Bild 3. Zeitglied

- a) Abstraktes Zeitglied (abstrakter Takt entspricht im rein synchronen Fall der doppelten Taktfrequenz, d. h. markiert sowohl die ansteigende als auch die abfallende Flanke des physikalischen Taktes)
 b) Verhalten des abstrakten Zeitgliedes

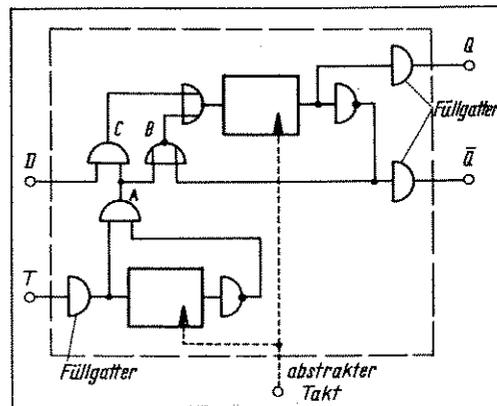


Bild 4. D-Flip-Flop-Modell ohne Preset- und Clear-Beschaltung (Füllgatter trennen Ersatzschaltung von „echter“ Umgebung)

In m sr 20 (1977) H. 9, S. 504, 7. Zeile von oben, muß es richtig heißen „... durch ein zweiwertiges statisches Modell erfassbar...“ und durch ein Versehen sind die Bilder 1a) und 1c) vertauscht worden.

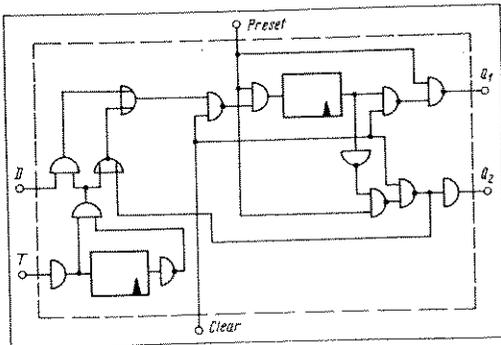


Bild 5. D-Flip-Flop-Modell mit Preset- und Clear-Beschaltung (Belegung der „Direkteingänge“ Preset und Clear kann gleichzeitig 0 sein, hier Übergang 00 → 11 verboten, ruft am modellierten Original Wettrennen hervor)

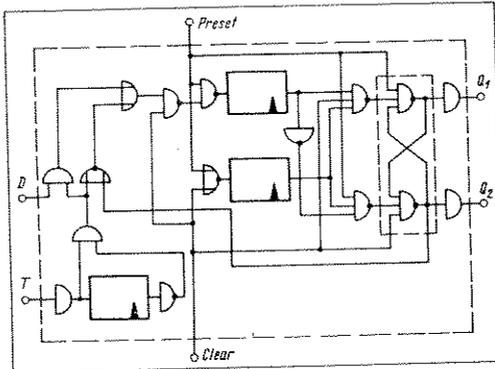


Bild 6. D-Flip-Flop-Modell (anwendbar, wenn eine Wettrennanalyse möglich)

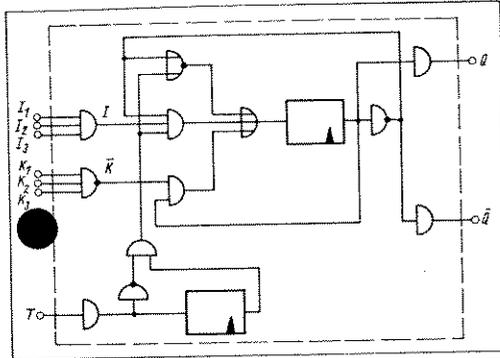


Bild 8. Modell eines einfachen JK-Flip-Flops

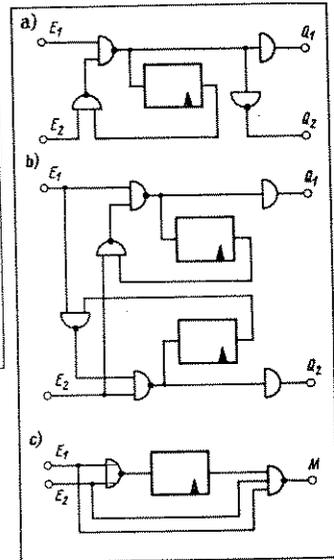


Bild 7. NAND-Flip-Flop-Modell

- a) synchrones Modell (nur Eingangsbelegungen 01, 10 und 11 erlaubt)
- b) Modell für alle Eingangsbelegungen (Wettrennen beim Übergang 00 → 11 der Eingangssignale nicht erkennbar)
- c) Zusätzliche Schaltung zum Erkennen des Wettrennens beim Modell b)

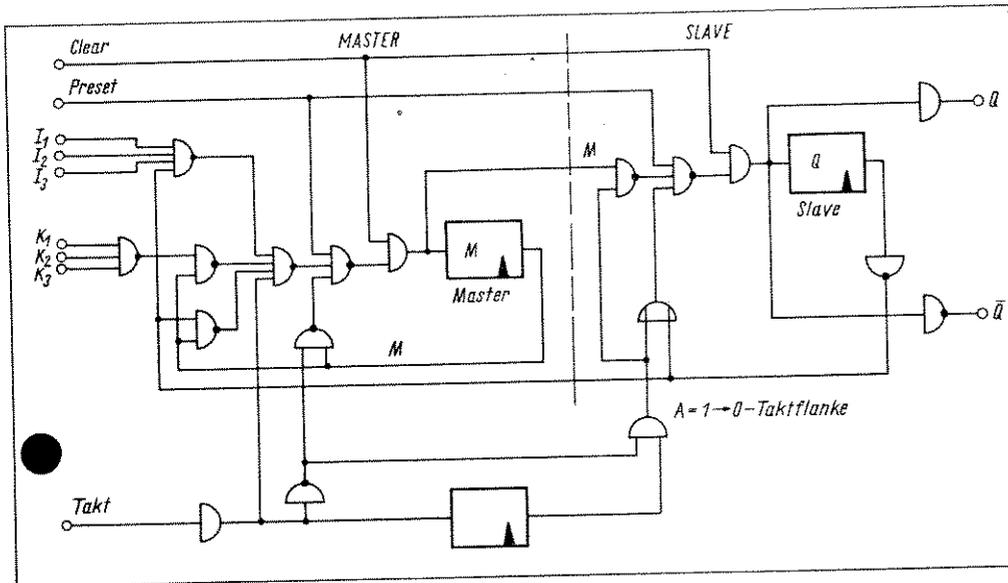


Bild 9. Modell des JK-MS-Flip-Flops D172 (Preset = Clear = 0 verboten)

Information am D-Eingang an den Ausgang zu übernehmen oder nicht. Das betrachtete Flip-Flop schaltet mit der ansteigenden Taktflanke (0 → 1). Wir benötigen ein zusätzliches Zeitglied, das Auskunft über die Taktbelegung vor der Änderung gibt (Bild 4). Die Leitung A führt genau dann den logischen Wert 1, wenn eine ansteigende Taktflanke vorliegt. In diesem Fall wird das Signal vom Eingang D übernommen, d. h. an den Ausgang Q geführt, da Leitung B gesperrt ist. Andernfalls liegt Leitung C auf 0, und die Belegung von B, d. h. der alte Zustand Q, wird wieder übernommen.

Sind die Preset- und Clear-Eingänge beschaltet, so ergibt sich die im Bild 5 dargestellte Ersatzschaltung. In der Regel wird gefordert, daß die Preset- und Clear-Signale nicht gleichzeitig 0 sein dürfen. In manchen Schaltungen wird jedoch der Effekt ausgenutzt, daß bei den integrierten Schaltkreisen D174, D172

oder SN 7474 in diesem Fall beide Ausgänge 1 sind. Dann ist eine Wettrennanalyse erforderlich (Bild 5). Bei Verwendung eines mehrwertigen Signalmodells, z. B. mit den Werten 0, 1 und $x =$ unbestimmt, ist diese bei einer Simulation sehr einfach durchzuführen. Das NAND-Flip-Flop (Bild 2) bedarf dann keiner besonderen Ersatzschaltung und kann dazu dienen, die Wettrennbedingungen beispielsweise des D-Flip-Flops zu modellieren (Bild 6). Es ist dann jeweils zu prüfen, ob diese oder die echte Gatterinnenschaltung einzusetzen ist. Ist das Signalmodell nur zweiwertig (0 und 1), so ist das NAND-Flip-Flop gemäß Bild 7a oder b synchron zu modellieren. Bild 7c zeigt eine Zusatzschaltung, deren Ausgang M genau dann den Wert 0 annimmt, wenn ein Wettrennen vorliegt. Sie kann bei Programmen zur Testfolgengenerierung auf der Basis des D-Algorithmus etwa [1] und [2] durch eine ständige 1-Forderung an den Aus-

Tafel. Ergebnisse der Testsatzgenerierung für die Schaltung von Bild 11 mit Fehlerinformation

TEGAL 3. TESTSATZ FUER EINFACHE TESTSCHALTUNG

NR.	EINGAENGE			ZUSTAENDE		AUSGAENGE		FEHLERINFORMATION
	1	2	3	1	2	4	5	
1	1	1	1	0	1	0	1	4: 12 5: -3, -5, 8, 10, -15
2	1	0	1	1	0	1	1	4: -1, -3, 4, -5, -7, 8, -11, -17, 18 5: -1, -3, -5, 8, 14, -15, -17, 18
3	1	1	1	1	1	1	1	4: - 5: -3, -5, 8, -15
4	0	1	1	1	1	1	1	4: - 5: -
5	0	1	0	0	0	0	0	4: 2, 6, 12 5: 2, 6, -7, -9, -13, 16

gang M dazu dienen, die Erzeugung solcher Folgen zu vermeiden, die an der betreffenden Stelle Wettrennen erzeugen.²⁾ Es gibt auch andere Möglichkeiten, Wettläufe zu verhindern. Die Bilder 8 und 9 zeigen weitere Ersatzschaltungen. Ähnliche Schaltbilder lassen sich für andere Speichertypen und die unterschiedlichen Beschaltungsweisen ermitteln, deren Komplexität von den Genauigkeitsforderungen an die Modelle abhängt. Um dynamisch wirkende Eingangsänderungen in einem EDV-Simulationsprogramm zu erfassen, muß das Simulationsmodell etwas abgeändert werden. Bisher genügte das MEALY-Modell, bei dem für jeden Zustand (Speicherbelegung) z und jedes Eingangssignal x eindeutig ein Folgezustand $z' = f(z, x)$ und ein Ausgangssignal $y = g(z, x)$ bestimmt ist. Dagegen kann in den hier diskutierten Ersatzmodellen das endgültige Ausgangssignal nur in Abhängigkeit von Folgezustand $z' = f(z, x)$ berechnet werden, d. h. $y = g(f(z, x), x)$.

²⁾ Für das Modell im Bild 7a kann eine 0-Forderung für den Ausgang eines parallelschalteten NOR-Gatters die Belegung 00 an den Eingängen verhindern.

Die Ersatzschaltungen in den Bildern 5 und 7b wurden mit dem — allerdings dynamischen — Simulationsprogramm SIMPER [3] des Instituts für Nachrichtentechnik Berlin quasi-statisch simuliert. Bild 10 zeigt die dabei automatisch erzeugten Impulsdiagrammzeichnungen.

Für die Schaltung im Bild 11 zeigt die Tafel die Ergebnisse der Testfolgenerzeugung und Berechnung der Fehlerortungsdokumentation durch das Programm TEGAL 3 [1] der Humboldt-Universität zu Berlin bzw. durch das Fehlersimulationsprogramm SIMPER. FELSIM des Instituts für Nachrichtentechnik Berlin.

Schlußbemerkungen

Für verschiedene asynchrone Schaltungskonfigurationen, die in synchron-getakteten Schaltungen häufig vorkommen, wurden Ersatzschaltungen angegeben, die die Einsatzmöglichkeiten von Programmen zur Prüfunterlagenherstellung und statischen Simulation wesentlich erweitern.

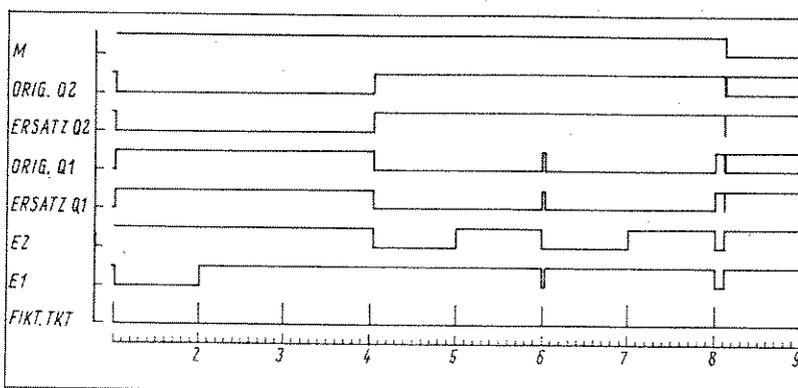
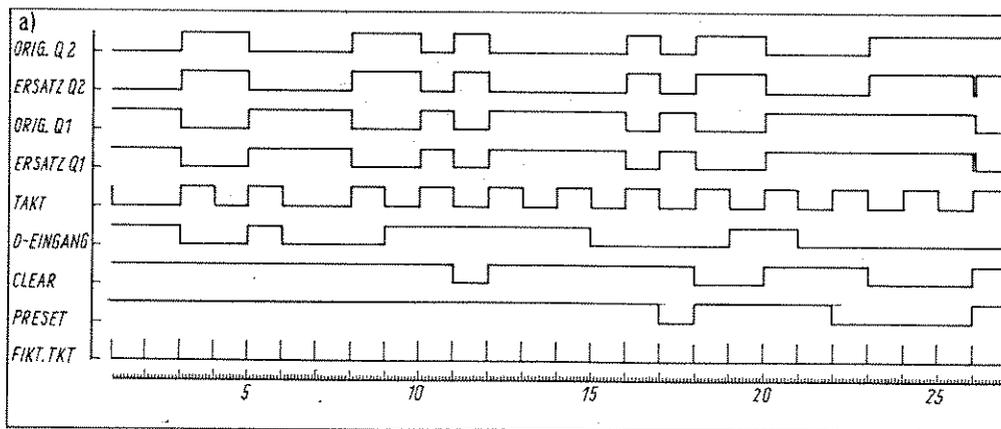


Bild 10. Verhaltensvergleich von Original- und Ersatzschaltung (Rechnerausgabe)

a) Vollständig beschaltetes D-Flip-Flop D174
b) NAND-Flip-Flop

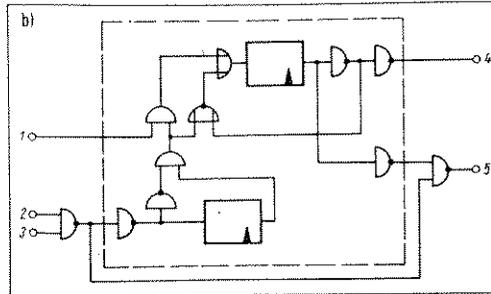
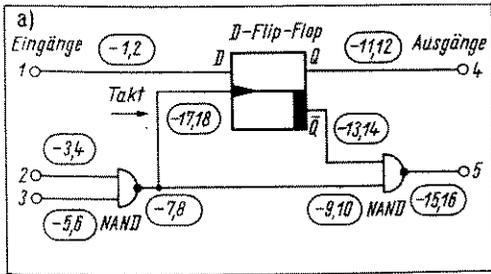


Bild 11. Beispiel

a) Einfache Schaltung mit D-Flip-Flop, Takteingang logisch beschaltet; die in Kreise gesetzten Zahlen bezeichnen die untersuchten Festfehler: i ist Stück-at-0-Fehler mit der Nummer $-i$ falls $i < 0$ bzw. Stück-at-1-Fehler der Nummer i

b) Ersatzschaltung zum Bild 11a)

Der nicht geringe Mehraufwand an Gattern und Zeitgliedern im Schaltungsmodell wird durch diesen Umstand sowie dadurch aufgewogen, daß Programme zur Prüfunterlagenherstellung für asynchrone Schaltungen — sofern verfügbar — gegenwärtig nur dann zu sicheren Ergebnissen führen, wenn sie gemeinsam mit einer i. allg. rechenzeitaufwendigen Fehlersimulation [4] zur Anwendung kommen.

Derartige Ersatzschaltungen können natürlich nicht nur im verwendeten Schaltungsmodell, sondern auch softwaremäßig im zugrunde gelegten Simulationsmodell eingesetzt werden.

Wir danken Dipl.-Ing. G. Werrmann für sein aufmerksames Interesse und seine Hinweise.

Literatur

- [1] Bobey, K.; Heinz, E.: Diagnosetestberechnung für digitale Schaltungen. Nachrichtentechnik / Elektronik 25 (1975) H. 8, S. 287 – 290.
- [2] Muth, P.: Erstellen von Fehlererkennungs-Experimenten für Schaltnetze und Schaltwerke unter Verwendung eines neunwertigen Schaltungsmodells. Nachrichtentechnische Fachberichte 49 (1974) S. 175 bis 183.
- [3] Gessner, E.; Schalldach, H.-H.; Werrmann, G.; Zech, K.-A.: Rechner-simulation digitaler Schaltungen reduziert Labormessungen. Sozialis-tische Rationalisierung in der Elektrotechnik / Elektronik 5 (1976) H. 8, S. 246 – 252.
- [4] Fellberg, G.; Kubisch, J.: Einige Bemerkungen zum Prüfen und Herstellen von Fehlererkennungshilfen bei digitalen Schaltungen. msr 18 (1975) H. 6, S. 206.
- [5] Jorke, G.: Rechnersimulation logischer Strukturen mit hochinte-grierten Grundelementen. ZKI-Informationen (1973) H. 2, S. 36 – 40. msr 6326

Dipl.-Ing. H. Rodiek, Magdeburg¹⁾

Dynamikanalyse von pulsdauermodulierten Abbildsignalen

IA 2.4.2.0

Einleitung

Pulsdauermodulierte Signale haben in der Prozeßmeßtechnik in letzter Zeit an Bedeutung gewonnen.

Die Pulsdauermodulation läßt sich auf eine Phasenmodulation zurückführen. Der hiermit verbundene Phasenhub $\Delta\Phi$ kann in vielen praktischen Systemen, z. B. in indirekten Digital/Analog-Wandlern, den Wert 1 überschreiten. Damit verlieren die in [1] unter der Einschränkung $\Delta\Phi \ll 1$ gemachten Aussagen über die dynamischen Eigenschaften pulsdauermodulierter Signale teilweise ihre Gültigkeit.

Mit den in diesem Beitrag abgeleiteten Gleichungen ist eine Analyse der dynamischen Eigenschaften pulsdauermodulierter Signale für beliebige Phasenhübe möglich. Weiterhin werden Dimensionierungsrichtlinien für Systeme mit pulsdauermodulierten Signalen angegeben.

Die Behandlung der Problematik erfolgt nach der in [1] vorgegebenen Methode unter Voraussetzung einer modulierten Vorder- und periodischen Rückflanke.

1. Zeitfunktion des pulsdauermodulierten Signals

Bild 1 zeigt den zeitlichen Verlauf des pulsdauermodulierten Signals. Der Einsatzpunkt τ der Abfallflanke des Rechteckpulses schwankt um die konstante Zeit $\tau_0/2$:

$$\tau = \frac{\tau_0}{2} \left[1 + m \sin \omega_s \left(t - \frac{\tau_0}{2} \right) \right] \quad (1)$$

¹⁾ Mitteilung aus der Sektion Technische Kybernetik und Elektrotechnik der Technischen Hochschule „Otto von Guericke“ Magdeburg.

ω_s Kreisfrequenz des modulierenden Signals
 m Modulationsindex.

2. Spektrum des pulsdauermodulierten Pulses

Die n -te Teilschwingung $s_n(t)$ des modulierten Pulses läßt sich, ausgehend vom unmodulierten Rechteckpuls, folgendermaßen darstellen:

$$s_n(t) = -\frac{s_0}{2jn\pi} e^{jn\omega_s(t-\tau(t))} + \frac{s_0}{2jn\pi} e^{jn\omega_s t} = -\frac{s_0}{2jn\pi} \underbrace{e^{jn[\omega_s t' - \Delta\Phi \sin \omega_s t']}}_{s_{n1}(t)} + \frac{s_0}{2jn\pi} \underbrace{e^{jn\omega_s t}}_{s_{n2}(t)} \quad (2)$$

$$\text{mit } t' = t - \frac{\tau_0}{2} \quad \text{und} \quad (3)$$

$$\Delta\Phi = m \frac{\omega_0 \tau_0}{2} = m\pi \frac{\tau_0}{T_0} \quad (4)$$

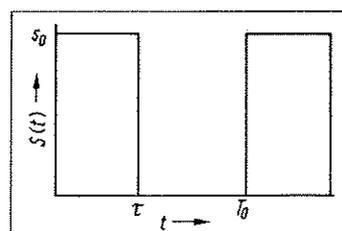


Bild 1. Zeitverlauf des pulsdauermodulierten Signals